

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tamio IKEHASHI, et al.

GAU: 2811

SERIAL NO: 10/698,526

EXAMINER:

FILED: November 3, 2003

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-307202	August 29, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.


Marvin J. Spivak  
Registration No. 24,913  
Joseph Scafetta, Jr.  
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

10/698,526

BEST AVAILABLE COPY  
日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日 2003年 8月29日  
Date of Application:

出願番号 特願2003-307202  
Application Number:  
〔ST. 10/C〕: [JP2003-307202]

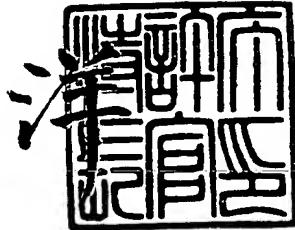
出願人 株式会社東芝  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2004年 7月28日

特許庁長官  
Commissioner,  
Japan Patent Office

八 川



【書類名】 特許願  
【整理番号】 03P118  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/00  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロ  
エレクトロニクスセンター内  
【氏名】 池橋 民雄  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロ  
エレクトロニクスセンター内  
【氏名】 大澤 隆  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100092820  
【弁理士】  
【氏名又は名称】 伊丹 勝  
【手数料の表示】  
【予納台帳番号】 026893  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

## 【書類名】特許請求の範囲

## 【請求項1】

基板と、

前記基板上に形成され配列された、前記基板と絶縁分離され且つ相互に絶縁分離された第1導電型の半導体層と、

前記各半導体層に形成されて、第2導電型のソース及びドレイン層とゲート電極を有し、そのチャネルボディの多数キャリア蓄積状態によりデータを記憶するセルトランジスタと、

前記各半導体層に前記各セルトランジスタのドレイン層との間でPN接合を構成するよう形成された、前記セルトランジスタのチャネルボディに多数キャリアを注入するための第1導電型のエミッタ層と、

を有することを特徴とする半導体集積回路装置。

## 【請求項2】

前記各セルトランジスタと対応するエミッタ層により構成されるメモリセルがマトリクス配列されたセルアレイを有し、

前記セルアレイは、マトリクスの第1の方向に並ぶセルトランジスタのゲート電極を共通接続するワード線と、マトリクスの第2の方向に並ぶセルトランジスタのドレイン層を共通接続するビット線と、前記第1の方向に並ぶセルトランジスタのソース層を共通接続するソース線と、前記第1の方向に並ぶエミッタ層を共通接続するエミッタ線とを有することを特徴とする請求項1記載の半導体集積回路装置。

## 【請求項3】

前記メモリセルは、各半導体層に形成されていることを特徴とする請求項2記載の半導体集積回路装置。

## 【請求項4】

前記第2の方向に並ぶ各半導体層に、二つのメモリセルがソース層を共有して形成されていることを特徴とする請求項2記載の半導体集積回路装置。

## 【請求項5】

前記セルトランジスタは、チャネルボディが過剰の多数キャリアを保持する第1データ状態と、チャネルボディが第1データ状態より少ない多数キャリアを保持する第2データ状態とのいずれかを記憶することを特徴とする請求項2記載の半導体集積回路装置。

## 【請求項6】

前記セルトランジスタの第1データ状態は、ドレイン層と対応するエミッタ層の間を順バイアスして、エミッタ層からドレイン層を介してチャネルボディに多数キャリアを注入することにより書き込まれ、

前記セルトランジスタの第2データ状態は、チャネルボディの多数キャリアをドレイン層に放出させることにより書き込まれることを特徴とする請求項5記載の半導体集積回路装置。

## 【請求項7】

前記第1データ状態の書き込みは、選択ビット線の電圧をV<sub>BL</sub>S、非選択ビット線の電圧をV<sub>BL</sub>U、選択エミッタ線の電圧をV<sub>EL</sub>S、非選択エミッタ線の電圧をV<sub>EL</sub>U、ドレイン層とエミッタ層の間のPN接合を順バイアスするに必要な電圧をV<sub>1</sub>、ドレイン層とエミッタ層の間のPN接合を順バイアスするに不十分な電圧をV<sub>0</sub>として、V<sub>BL</sub>S + V<sub>1</sub> ≤ V<sub>EL</sub>S、V<sub>EL</sub>S ≤ V<sub>BL</sub>U + V<sub>0</sub>、及びV<sub>EL</sub>U ≤ V<sub>BL</sub>S + V<sub>0</sub>を満たす条件下で行われることを特徴とする請求項5記載の半導体集積回路装置。

## 【請求項8】

前記第1データ状態の書き込み時、全てのワード線にセルトランジスタがオフとなる電圧が印加される

ことを特徴とする請求項7記載の半導体集積回路装置。

【請求項9】

前記第1データ状態の書き込み時、非選択ワード線にセルトランジスタがオフとなる電圧が印加され、選択ワード線に非選択ワード線より高い電圧が印加される  
ことを特徴とする請求項7記載の半導体集積回路装置。

【請求項10】

ワード線及びエミッタ線を共有する複数のメモリセルについて、第1データ状態の書き込みと第2データ状態の書き込みが異なるタイミングで行われる  
ことを特徴とする請求項7記載の半導体集積回路装置。

【請求項11】

前記セルアレイの前記第1の方向に並ぶメモリセル数より少ない電流検出型センスアンプと、

前記セルアレイの選択されたビット線をそれぞれ対応する前記センスアンプに接続するためのビット線セレクタとを有する  
ことを特徴とする請求項5記載の半導体集積回路装置。

【請求項12】

前記ビット線セレクタにより選択されている全てのメモリセルに第1データ状態を書き込む第1ステップと、前記ビット線セレクタにより選択されているメモリセルのうち、第2データ状態を書き込むべきメモリセルに第2データ状態を書き込む第2ステップとを有するデータ書き込みモードを有する  
ことを特徴とする請求項11記載の半導体集積回路装置。

【請求項13】

前記ビット線セレクタにより選択されている全てのメモリセルに第2データ状態を書き込む第1ステップと、前記ビット線セレクタにより選択されているメモリセルのうち、第1データ状態を書き込むべきメモリセルに第1データ状態を書き込む第2ステップとを有するデータ書き込みモードを有する  
ことを特徴とする請求項11記載の半導体集積回路装置。

【請求項14】

前記ビット線セレクタにより選択されているメモリセルのうち、第1データ状態を書き込むべきメモリセルに第1データ状態を書き込む第1ステップと、前記ビット線セレクタにより選択されているメモリセルのうち、第2データ状態を書き込むべきメモリセルに第2データ状態を書き込む第2ステップとを有するデータ書き込みモードを有する  
ことを特徴とする請求項11記載の半導体集積回路装置。

【請求項15】

前記ビット線セレクタにより選択されているメモリセルのうち、第2データ状態を書き込むべきメモリセルに第2データ状態を書き込む第1ステップと、前記ビット線セレクタにより選択されているメモリセルのうち、第1データ状態を書き込むべきメモリセルに第1データ状態を書き込む第2ステップとを有するデータ書き込みモードを有する  
ことを特徴とする請求項11記載の半導体集積回路装置。

【請求項16】

前記ビット線セレクタにより選択されている全てのメモリセルに対して、第1データ状態の書き込みと第2データ状態の書き込みを同時にを行うデータ書き込みモードを有する  
ことを特徴とする請求項11記載の半導体集積回路装置。

【請求項17】

基板と、

前記基板上に形成され配列された、前記基板と絶縁分離され且つ相互に絶縁分離された第1導電型の半導体層と、

前記各半導体層に形成されて、第2導電型のソース及びドレイン層とゲート電極を有し、そのチャネルボディの多数キャリア蓄積状態によりデータを記憶するセルトランジスタと、

前記各半導体層に前記各セルトランジスタのドレイン層に接して形成された第1導電型のエミッタ層を有し、前記各セルトランジスタのドレイン層及びチャネルボディをそれぞれベース層及びコレクタ層として構成されたバイポーラトランジスタと有し、

前記各セルトランジスタは、チャネルボディが過剰の多数キャリアを保持する第1データ状態と、チャネルボディが第1データ状態より少ない多数キャリアを保持する第2データ状態とのいずれかを記憶することを特徴とする半導体集積回路装置。

【請求項18】

前記セルトランジスタの第1データ状態は、対応するバイポーラトランジスタをオンにして、そのエミッタ層からドレイン層を介してチャネルボディに多数キャリアを注入することにより書き込まれ、

前記セルトランジスタの第2データ状態は、対応するバイポーラトランジスタがオフの状態で、チャネルボディの多数キャリアをドレイン層に放出させることにより書き込まれる

ことを特徴とする請求項17記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

この発明は、半導体集積回路装置に係り、特にS O I基板に形成されたトランジスタのチャネルボディの多数キャリア蓄積状態によりデータ記憶を行う半導体記憶装置に関する。

【背景技術】

【0002】

最近、従来のD R A M代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体メモリが提案されている（非特許文献1参照）。メモリセルは、S O I基板に形成されたフローティングのボディ（チャネルボディ）を持つ一つのトランジスタにより構成される。このメモリセルは、ボディに過剰の多数キャリアが蓄積された状態を第1データ状態（例えば、データ“1”）、ボディから過剰の多数キャリアが放出された状態を第2データ状態（例えば、データ“0”）として、二値記憶を行う。

【0003】

以下、このようなメモリセルを“F B C（Floating Body Cell）”といい、F B Cを用いた半導体メモリを“F B Cメモリ”という。F B Cメモリは、通常のD R A Mのようにキャパシタを用いないから、メモリセルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。図24は、F B Cメモリのセルアレイの等価回路を示している。

【0004】

F B Cメモリのデータ“1”の書き込みには、メモリセルのドレイン近傍でのインパクトイオン化を利用する。図25に示すように、メモリセルに大きなチャネル電流が流れるバイアス条件を与えて、インパクトイオン化により発生する多数キャリア（図の例ではホール）をボディに蓄積する。データ“0”書き込みは、図26に示すように、ドレインとボディの間のP N接合を順バイアス状態として、ボディの多数キャリアをドレイン側に放出させることにより行われる。

【0005】

ボディのキャリア蓄積状態の相違は、トランジスタのしきい値の相違として現れる。従って、図27に示すようにある読み出し電圧をゲートに与えて、セル電流の有無又は大小を検出することにより、データ“0”，“1”をセンスすることができる。図28は、メモリセルのドレイン電流I<sub>ds</sub>—ゲート電圧V<sub>gs</sub>特性をデータ“0”，“1”について示している。

ボディの過剰の多数キャリアは、長時間放置すると、ソース、ドレインとの間のP N接合を介して抜ける。従って、D R A Mと同様に一定周期でリフレッシュ動作を行うことが必要である。

【0006】

F B Cメモリの特性改善のために、メモリセルの主ゲートとは別に、ボディに容量結合する補助ゲートを設けることも提案されている（特許文献1及び特許文献2参照）。

【0007】

上述のF B Cメモリと同様にフローティングボディの電荷蓄積を利用するが、書き込み方式の異なるメモリとして、セルトランジスタであるP M O Sトランジスタとそのフローティングボディに電荷を注入するためのN M O Sトランジスタを一体に形成する方式も特許文献3～5に提案されている。これらの場合、P M O SトランジスタとN M O Sトランジスタはゲートを共有する。

浮遊ゲート型メモリセルにトンネル絶縁膜を介して電荷を注入するために、バイポーラ動作を利用する方式は、特許文献6，7に開示されている。

【0008】

【非特許文献1】T.Ohsawa et al., "Memory Design Using One-Transistor Gain Ce

出証特2004-3066382

11 on SOI", ISSCC Digest of Technical Papers, pp152-153, 2002

【特許文献1】特開2002-246571号公報

【特許文献2】特開2003-31693号公報

【特許文献3】米国特許第5, 448, 513号明細書

【特許文献4】米国特許第5, 784, 311号明細書

【特許文献5】米国特許第6, 111, 778号明細書

【特許文献6】特開平5-347419号公報

【特許文献7】米国特許第5, 355, 330号明細書

#### 【発明の開示】

#### 【発明が解決しようとする課題】

##### 【0009】

これまでに提案されているFBCメモリは、“1”書き込み時に発生するインパクトイオン化電流が小さいため、“1”書き込みに長い時間がかかる。“1”書き込み時間を短縮するためには、図25に示す“1”書き込みバイアス条件において、ビット線電圧（ドレイン電圧）をより高くして、インパクトイオン化電流を増やすことが望ましい。しかしこれは、非選択セルでの誤書き込みの危険性が高くなるという不都合をもたらす。このことを具体的に図29を用いて説明する。

##### 【0010】

図29は、ビット線を共有する“1”書き込みの選択セルと非選択セルについてバイアス関係を示している。非選択セルのゲート（ワード線WL）が-1.5Vのとき、そのゲート・ドレイン間には電圧 $\Delta V = 3$  Vがかかる。この電圧 $\Delta V$ によって非選択セルのドレインには、いわゆるゲート誘導ドレインリーク (Gate Induced Drain Leak; GIDL) 電流が流れる。選択セルでの“1”書き込み時間短縮のためにビット線電圧を高くすると、非選択セルではこのGIDL電流が増える。従って、非選択セルが“0”データを保持しているとき、GIDL電流により、誤って“1”データが書かれる可能性がある。

##### 【0011】

インパクトイオン化による“1”書き込みのもう一つの問題は、消費エネルギーが大きいことである。“1”書き込みセルは、5極管領域（電流飽和領域）での動作になり、大きなドレイン電流（チャネル電流）が流れる。インパクトイオン化電流はこのドレイン電流のおよそ $1/10000$ である。つまり、“1”書き込みの期間中、殆どのドレイン電流は、ボディの容量充電には寄与せず、無駄に消費されることになる。メモリチップ内で同時に多数のセルで“1”書き込みが行われる場合には、大きなドレイン電流のために電源電圧が低下して、誤動作する危険もある。

##### 【0012】

この発明は、効率的なデータ書き込みを可能としたメモリセルを有する半導体集積回路装置を提供することを目的としている。

#### 【課題を解決するための手段】

##### 【0013】

この発明に係る半導体集積回路装置は、基板と、前記基板上に形成され配列された、前記基板と絶縁分離され且つ相互に絶縁分離された第1導電型の半導体層と、前記各半導体層に形成されて、第2導電型のソース及びドレイン層とゲート電極を有し、そのチャネルボディの多数キャリア蓄積状態によりデータを記憶するセルトランジスタと、前記各半導体層に前記各セルトランジスタのドレイン層との間でPN接合を構成するように形成された、前記セルトランジスタのチャネルボディに多数キャリアを注入するための第1導電型のエミッタ層とを有することを特徴とする。

#### 【発明の効果】

##### 【0014】

この発明によれば、効率的なデータ書き込みを可能とした半導体集積回路装置を提供することができる。

#### 【発明を実施するための最良の形態】

## 【0015】

以下、図面を参照して、この発明の実施の形態を説明する。

## 【メモリセル概要】

図1Aは、この発明の実施の形態によるメモリセル(FBC)の断面構造を示し、図1Bはその等価回路を示している。シリコン基板1上にシリコン酸化膜等の絶縁膜2により分離されたp型シリコン層3を有するSOI基板が用いられている。セルトランジスタであるNMOSトランジスタMNは、p型シリコン層3上にゲート絶縁膜を介して形成されたゲート電極4と、これに自己整合されたドレイン、ソース層5, 6とを有する。p型シリコン層3のゲート電極直下のチャネルボディは、他のセル領域からは電気的に独立した、フローティングボディとなる。

## 【0016】

ドレイン層5のチャネルボディと反対側には、ドレイン層5との間でPN接合を構成するp型エミッタ層7が配置されている。p型エミッタ層7-n型ドレイン層5-p型チャネルボディは、n型ドレイン層5をベース、p型チャネルボディをコレクタとして、書き込み用のPNPバイポーラトランジスタTrを構成している。

## 【0017】

このFBCのゲート電極4はワード線WLに、ドレイン層5は、ワード線と交差するビット線BLに、ソース層6はソース線SLにそれぞれ接続される。エミッタ層7は、ワード線WLと並行するエミッタ線ELに接続される。

## 【0018】

この実施の形態によるメモリセルは、セルトランジスタのチャネルボディが過剰の多数キャリア（ホール）を保持する第1データ状態（“1”データ）と、それより過剰のホールが少ない第2データ状態（“0”データ）を、ダイナミックに記憶する。図1Aには、メモリセルに“1”書き込みを行う場合のバイアス例を示している。“1”書き込み時、ワード線WLに-1.5V、ビット線BLに-1V、エミッタ線ELに0Vが与えられる。ソース線SLは0Vである。

## 【0019】

このとき、p型エミッタ層7とn型ドレイン層5の間のPN接合（トランジスタTrのベース・エミッタ接合）が順バイアスになり、エミッタ層7からドレイン層5にホールが注入される。注入されたホールは、一部ドレイン層5で再結合し、残りはp型チャネルボディに到達する。言い換えれば、“1”書き込みは、バイポーラトランジスタTrのオン動作により、MOSトランジスタMNのチャネルボディにホールを注入する動作となる。以下、この書き込みを“バイポーラ書き込み”という。

## 【0020】

バイポーラ書き込みでは、エミッタ線ELとビット線BL間の電圧を調整することにより、チャネルボディに流れ込む電流（コレクタ電流）を容易に増やすことができる。このため、高速の“1”書き込みが可能になる。またこのバイポーラ書き込みでは、選択されたビット線BLに沿った非選択セルのMOSトランジスタでは、ゲート（即ち非ワード線）電圧が-1.5V、ドレイン（即ち選択ビット線）電圧が-1Vとなり、そのゲート・ドレイン間電圧は、従来のインパクトイオン化による“1”書き込みに比べて小さい。このため、非選択セルでのGIDL電流による誤書き込みの問題も解消される。

## 【0021】

図1Aに示すバイアス関係でバイポーラ書き込みを行った場合、エミッタ層7からドレイン層5を介してビット線BLに流れ込む電流（ベース電流）とエミッタ層7からドレイン層5を介してチャネルボディに到達する電流（コレクタ電流）の比は、1/hFE（hFE；バイポーラトランジスタTrの電流増幅率）である。この値は、ドレイン層5の不純物濃度分布や幅に依存する。

## 【0022】

セルトランジスタMNを微細化したときに、カットオフ特性やパンチスルーパスを確保するためには、ドレイン、ソース層5, 6の不純物濃度を低くする必要がある。このため

、この実施の形態のバイポーラトランジスタTrのhFEは通常のバイポーラトランジスタより小さくなる。しかし、ドレイン層5の幅の最適化により、hFE=0.1~1程度を実現することは容易である。例えば、hFE=1とすると、エミッタ電流の50%はチャネルボディに流れ込むことになる。従って、インパクトイオン化を利用する“1”書き込みに比べて、高速で且つ無駄な消費電力の少ない効率的な“1”書き込みが可能になる。

### 【0023】

“0”書き込みは、従来のFBCと同様である。ワード線WLに例えば1.5Vを与えて、チャネルボディ電位を上げ、ビット線BLには例えば-2Vを与える。バイポーラトランジスタはオフを保つ。これにより、チャネルボディとドレイン層の間が順方向バイアスされ、チャネルボディのホールがドレインに放出されて、過剰ホールの少ない“0”データが書かれる。

この実施の形態のメモリセルは、“0”又は“1”データをダイナミックに記憶するから、一定周期でのデータリフレッシュが必要である。

### 【0024】

#### [セルアレイ構成]

図2は、この実施の形態によるFBCメモリのセルアレイMCA1の平面図であり、図3はそのI-I'断面図、図4はII-II'断面図である。SOI基板は、表面にN<sup>+</sup>型層11が形成されたシリコン基板10と、この上にシリコン酸化膜等の絶縁膜12を介して形成されたp型シリコン層13を有する。p型シリコン層13は、周囲に素子分離絶縁膜21が埋め込まれて、各セル毎に絶縁分離された複数の活性領域、即ちフローティングボディとして配列形成される。

### 【0025】

セルトランジスタであるNMOSトランジスタMNは、p型シリコン層13上にゲート絶縁膜を介して形成されたゲート電極14と、これに自己整合されたドレイン、ソース層15、16とを有する。ゲート電極14は、図2及び図4に示すように、一方向に連続的にパターン形成されて、複数のセルで共有されるワード線WLとなる。ドレイン層15のチャネルボディと反対側には、ドレイン層15との間でPN接合を構成するp型エミッタ層17が配置されている。これにより、ドレイン層15をベース、チャネルボディをコレクタとして、書き込み用のPNPトランジスタTrが構成される。

### 【0026】

セルが形成された基板面は、層間絶縁膜22aにより覆われ、この上に第1層メタルによりソース線(SL)24、エミッタ線(EL)26及びドレイン層15に接続される中継電極25が形成される。ソース線24及びエミッタ線26は、図2に示すように、ワード線(WL)14と並行して連続して、複数のセルで共有される。これらのソース線24、エミッタ線26及び中継電極25はそれぞれ、コンタクトプラグ23を介して、ソース層16、エミッタ層17及びドレイン層15に接続される。

### 【0027】

第1層メタル配線の上は更に層間絶縁膜22bで覆われる。この層間絶縁膜22b上に、第2層メタル配線として、ワード線WLと交差して複数のセルのドレイン層15に接続されるビット線(BL)28が形成される。図の例では、ビット線28は、コンタクトプラグ27を介して中継電極25に接続されている。

### 【0028】

なお、以上の配線構造や配線材料は、種々選択可能である。例えば、上の例では、メタル配線をコンタクトプラグを介して下地配線や拡散層に接続しているが、デュアルダマシンプロセスによりメタル配線とコンタクトを同時に埋め込み形成することができる。

### 【0029】

この実施の形態のセルアレイMCA1では更に、SOI基板の絶縁膜12に、補助ゲートとなるピラー29が埋め込まれている。ピラー29は、下端がシリコン基板10の表面のN<sup>+</sup>型層11に接し、上端部はp型シリコン層13の下部側面に容量結合するよう、

絶縁膜21に埋め込まれたN<sup>+</sup>型シリコン層である。このピラー29は、負電圧が印加されて、セルトランジスタのホール蓄積状態（データ“1”状態）の保持時間を長くするために利用される。

### 【0030】

図5は、セルアレイMCA1の等価回路を示している。フローティングボディを持つN MOSトランジスタMNと、そのフローティングボディをコレクタとするバイポーラトランジスタTrからなるFBCが、互いに交差するビット線BLとワード線WLの各交差部に位置するように、マトリクス配列される。エミッタ線ELとソース線SLは、ワード線WLと並行する。複数のビット線BLは、ビット線セレクタにより選択されて、センスユニットに接続される。

### 【0031】

図6及び図7は、別のタイプのセルアレイMCA2の平面図とそのI-I'断面図を、それぞれ図2及び図3に対応させて示している。先のセルアレイMCA1では、ビット線方向及びワード線方向に配列されたメモリセルはそれぞれ、互いに完全に分離されたシリコン層13に形成されている。即ち隣接するメモリセルのソース層16の間、及びエミッタ層17の間は共に、絶縁膜21が埋め込まれて素子分離領域となっている。

### 【0032】

図6及び図7に示すセルアレイMCA2は、ビット線方向に隣接するメモリセルの間でソース層16、従ってソース線(SL)24を共有している。言い換えれば、ビット線方向に素子分離絶縁膜21により分離されて配列された各シリコン層13には、ソース層16を共有する二つのメモリセルが形成されている。図8はこのセルアレイMCA2の等価回路を、図5に対応させて示している。

この様に、ソース線24を共有することにより、セルアレイの単位セル面積はより小さいものとすることができます。

### 【0033】

このタイプのセルアレイMCA2においては、あるセルでの“1”データ書き込み時、エミッタ層からチャネルボディに注入されたホールが、更にソース層を通り、隣接セルのチャネルボディにまで注入されると、そのセルデータを破壊するおそれがある。この様なデータディスクラーブを防止するためには、隣接セルで共有されるソース層6の不純物濃度を高くすることが有効である。

### 【0034】

この実施の形態において、ビット線方向に並ぶ隣接セルの間でエミッタ線(EL)26を共有する方式は採用しない。何故なら、もし、図8において、エミッタ線ELiとELi+1を共有したとすると、ビット線方向に隣接する二つのセルCell111, Cell112の間で“1”書き込みの選択性が得られないからである。

### 【0035】

#### [メモリチップ構成]

次に、この実施の形態によるFBCメモリのチップ100の構成を図9に示す。メモリアレイ101は好ましくは、複数のビット線範囲毎にセルユニットを構成する。各セルユニット内の一つのビット線BLがビット線セレクタ102により選択され、センスユニット103に接続される。この様に複数のビット線で一つのセンスユニット103を共有する方式は、ビット線毎にセンスアンプを配置することが困難である場合に有効である。一般に電流検出型センスアンプは比較的大きな面積を必要とし、微細なビット線ピッチを実現したセルアレイのビット線毎に配置することは困難である。

### 【0036】

FBCメモリは、DRAM代替を目的としているので、DRAMと同様に、カラムアドレスストローブ信号/CAS, ロウアドレスストローブ信号/RASにより制御されるアドレス多重化を利用する。ロウアドレス信号は、ロウアドレスバッファ106により取り出されて、プリデコーダ107を介してロウデコーダ105に供給される。ロウデコーダ105は、ロウアドレス信号に応じてメモリセルアレイ101のワード線WL選択を行う

。カラムアドレス信号は、カラムアドレスバッファ108により取り出されて、ビット線セレクタ102に供給され、ビット線選択を行う。

#### 【0037】

書き込みデータは、データ入力パッドDinから、入力バッファ109を介して書き込みデータ線Dに供給される。データ線Dの書き込みデータは、センスユニット103を介し、ビット線セレクタ102により選択されたビット線BLに与えられる。読み出しデータは、読み出しデータ線Q, /Qを介し、出力バッファ110、オフチップドライバ111を介して、データ出力パッドDoutに出力される。

メモリチップ100にはこのほか、種々の制御信号を発生するコントローラ113、種々の内部電圧を発生する電圧発生回路114が設けられる。

#### 【0038】

センスユニット103は、図10に示すように、電流検出型のセンスアンプ121とデータラッチ122を有する。センスアンプ121は、選択ビット線に流れるセル電流を検出して、二値データに変換する。センスアンプ121の読み出しデータはデータラッチ122に保持される。データラッチ122の読み出しデータは、読み出しタイミング信号RCSにより制御される転送ゲート124を介して、データ線Q, /Qに転送される。データ線Dに供給される書き込みデータは、書き込みタイミング信号WCSLにより制御される転送ゲート125を介し、ビット線セレクタ102により選択されたビット線BLに転送される。データリフレッシュ動作時は、データラッチ122に読み出されたデータが転送ゲート123を介して再度選択ビット線に転送されて、書き戻しが行われる。

#### 【0039】

##### [データ書き込み／読み出し動作]

この実施の形態によるFBCメモリのデータ書き込み及び読み出し動作を次に説明する。以下では、各動作モードのバイアス条件を、図5のセルアレイ等価回路を用いて示す。基本的には、各動作モードにおいて、ソース線SLは電位固定であるので、ビット線方向に隣接する二つセルがソース線SLを共有するセルアレイ構成の場合も同様の動作が可能である。但し、ソース線SLの電位を選択的に設定することもできる。

#### 【0040】

図11は、第1のタイプ(Type 1)の“1”データ書き込みモードのバイアス条件を示している。ビット線セレクタ102によりセルユニット内から選択される一つのビット線が選択ビット線BL(sel.)となり、これに-1Vが、残りの非選択ビット線BL(unsel.)に0Vが与えられる。ビット線方向のセル選択は、エミッタ線ELにより行われる。即ち選択エミッタ線EL(sel.)に0Vが、残りの非選択エミッタ線EL(unsel.)に-1Vが与えられる。選択ワード線WL(sel.), 非選択ワード線WL(unsel.)には共に、-1.5Vが与えられる。ソース線SLは全て0Vである。

#### 【0041】

これにより、選択ワード線WL(sel.)と選択ビット線BL(sel.)の交差部のメモリセルでバイポーラトランジスタTrがオンとなり、エミッタ層からMOSトランジスタのチャネルボディにホールが注入され、“1”書き込みが行われる。非選択セルではバイポーラトランジスタがオフにならず、“1”書き込みは行われない。

#### 【0042】

図12は、“0”データ書き込み時のバイアス条件を示している。選択ビット線BL(sel.)には-1V、残りの非選択ビット線BL(unsel.)に0Vが与えられる。選択ワード線WL(sel.)には1.5Vが、残りの非選択ワード線WL(unsel.)には、-1.5Vが与えられる。エミッタ線ELは全て-1V、ソース線SLも全て0Vである。

#### 【0043】

このバイアス条件では、全てのメモリセルでバイポーラトランジスタがオフである。選択ワード線WL(sel.)と選択ビット線BL(sel.)の交差部のメモリセルで、MOSトランジスタのチャネルボディとドレイン層の間が順バイアスとなり、チャネルボディの過剰の多数キャリアはドレイン層に放出される。これにより、“0”書き込みが行われる。

## 【0044】

図13は、データ読み出し時のバイアス条件である。読み出し時も、エミッタ線ELは全て-1Vに保持され、全てのメモリセルでバイポーラトランジスタがオフである。非選択ビット線BL(unsel.)に0Vが与えられ、選択ビット線BL(sel.)には0.2Vが与えられる。非選択ワード線WL(unsel.)に-1.5Vが与えられ、選択ワード線WL(sel.)には1.5Vが与えられる。ソース線SLは全て0Vである。

## 【0045】

これにより、選択ワード線WL(sel.)と選択ビット線BL(sel.)により選択されたセルでは、図28で説明したように、データに応じて異なるセル電流(MOSトランジスタMNのドレイン電流)が流れる。このセル電流差をセンスユニット103で検出することにより、データ“0”，“1”が判別される。

## 【0046】

なお、ある選択セルについて、“1”書き込みの直後、読み出しを行う場合には、選択ワード線が-1.5Vから1.5Vに大きくスイングする。このため、選択ワード線からの容量結合により、チャネルボディの蓄積電荷(ホール)の一部がソースやドレイン層に流出する。しかし、この電荷流出が過渡的であれば(言い換えれば読み出し終了後に選択ワード線を-1.5Vに戻したときにチャネルボディの電圧が“0”データ状態より高ければ)、問題ない。即ち、読み出し終了後に選択ワード線を-1.5Vに戻した後のチャネルボディ電圧を“1”データ保持状態として最適化すれば、“1”書き込みの直後の読み出し時には過渡信号が現れるだけであり、誤動作は防止される。

## 【0047】

同様に、ある選択セルについて、“1”書き込みの直後、その選択セルとワード線を共有する他のセルに“0”書き込みを行う場合も、選択ワード線が-1.5Vから1.5Vに大きくスイングする。従ってこの場合も、“1”書き込みセルのチャネルボディの電荷流出があるが、上記と同様、正味の“1”データは消失しない。

## 【0048】

図14は、データ保持状態のバイアス条件を示している。全てのワード線WLには-1.5Vの保持電圧が与えられ、全てのエミッタ線ELに-1V、全てのソース線SLに0Vが与えられる。これにより、チャネルボディの電位をワード線からの容量結合により低く保持して、データをダイナミックに保持することができる。

## 【0049】

図15は、図11とは異なる第2のタイプ(Type 2)の“1”データ書き込みモードのバイアス条件を示している。図11では、全ワード線を保持電圧-1.5Vに保持したまま、ビット線BLとエミッタ線ELによりセル選択を行ったのに対し、このタイプでは、選択ワード線WL(sel.)に、“0”書き込み時と同様に1.5Vを与える。それ例外は、図11と同じである。

## 【0050】

このバイアス条件は、エミッタ線電圧を除き、“0”書き込み時のそれと同じである。従って、選択セルでは、“0”書き込みモードになるが、同時にエミッタ層からチャネルボディへのホール注入による“1”書き込み(バイポーラ書き込み)が生じ、“1”データ状態が得られる。選択セルとワード線を共有する非選択セルでは、ソース及びドレインが共に0Vであり、データ消失はない。

## 【0051】

図16は、更に別のタイプ(Type 3)の“1”書き込みバイアス条件を示している。選択ワード線WL(sel.)及び非選択ワード線WL(unsel.)共に-1.5V、選択ビット線BL(sel.)に0V、選択エミッタ線EL(sel.)に1Vをそれぞれ与える。これにより、選択セルでは、エミッタからホール注入によるバイポーラ書き込みが起こり、“1”書き込みがなされる。非選択ビット線BL(unsel.)には1V、非選択エミッタ線EL(unsel.)は-1Vを与えることにより、選択ワード線WL(sel.)に沿った非選択セル、非選択ワード線WL(unsel.)に沿った全てのセルは、バイポーラ書き込みによる“1”書き込みも

或いは“0”書き込みも起こらず、データ消失もない。

【0052】

ここまでに、3タイプType1～Type3の“1”書き込み動作を説明した。次に、より一般化した“1”書き込みのバイアス条件を、図17を用いて説明する。図17に示すように、選択ワード線WL(sel.)、非選択ワード線WL(unsel.)の電圧をそれぞれVWLs, VWLU、選択ビット線BL(sel.)、非選択ビット線BL(unsel.)の電圧をそれぞれVBLs, VBLU、選択エミッタ線EL(sel.)、非選択エミッタ線EL(unsel.)の電圧をそれぞれVELs, VELUとする。ソース線SLは全て0Vである。

【0053】

図17では、選択ワード線WL(sel.)、選択エミッタ線EL(sel.)及び選択ビット線BL(sel.)により選択される二つのセルがある。非選択セルには、バイアス条件の異なる次の3種がある。即ち、選択ワード線WL(sel.)により選択セルと同時に駆動される非選択セルC1、非選択ワード線WL(unsel.)に沿って配置されて、選択ビット線BL(sel.)に接続されるセルC2、非選択ワード線WL(unsel.)に沿って配置されて、非選択ビット線BL(unsel.)に接続されるセルC3である。

【0054】

選択セルでは、バイポーラトランジスタTrのベース・エミッタ接合が両端電圧V1以上のときに十分な順バイアスになり、バイポーラ書き込みが生じるものとする。言い換えれば、電圧V1は、エミッタ層からドレイン層に注入されたホールがチャネルボディまで到達するに十分な電圧である。この条件から、選択セルでの“1”書き込みのためには、選択ビット線電圧VBLsと選択エミッタ線電圧VELsの間に、次の関係式(1)が成り立つことが必要である。

【0055】

$$VBLs + V1 \leq VELs \quad \dots (1)$$

【0056】

V1の下限値は、およそ1Vである。またベース・エミッタ間電圧がV0以下では、十分な順方向バイアスにならず、バイポーラ書き込みが生じないものとする。言い換えれば、電圧V0は、エミッタ層からドレイン層にホールが注入されないか、又は注入されたとしてもチャネルボディまでは到達しないような電圧である。電圧V0は、0Vである必要はない。例えば、V0=0.3Vのとき、ベース・エミッタ接合は弱い順方向バイアスとなるが、エミッタ層からベース層(ドレイン層)へのホール注入量は小さく、その注入ホールの殆どはドレイン層で再結合して消滅し、チャネルボディにまで到達しないことができる。従って、図17の非選択セルC1で“1”書き込みを生じさせない条件は、次の式(2)で表される。

【0057】

$$VELs \leq VBLs + V0 \quad \dots (2)$$

【0058】

同様に、非選択セルC2について、“1”書き込みを生じさせない条件は、次の式(3)で表される。

【0059】

$$VELU \leq VBLs + V0 \quad \dots (3)$$

【0060】

更に、非選択セルC3について、“1”書き込みを生じさせない条件は、次の式(4)で表される。

【0061】

$$VELU \leq VBLU + V0 \quad \dots (4)$$

【0062】

なお、式(4)の関係は、式(1)～(3)から自動的に導かれる。何故なら、式(1), (2)から、次式(5)が得られる。

【0063】

$$0 < V1 - V0 \leq VBLU - VBLs \quad \dots (5)$$

## 【0064】

更に式(5)と(3)とから、次の関係式(6)が導かれる。

## 【0065】

$$VELU \leq VBLs + V0 < VBLU + V0 \quad \dots (6)$$

## 【0066】

以上から、非選択セルでの誤書き込みを防止して選択セルで“1”書き込みを可能とするには、式(1)～(3)を満たせばよいことになる。

## 【0067】

次に、“1”書き込み時のワード線電圧については、非選択ワード線WL(unsel.)の電圧VWL<sub>U</sub>と、選択ワード線WL(sel.)の電圧VWL<sub>S</sub>とを、次式(7)のように等しい値に設定することができる。

## 【0068】

$$VWLs = VWLU = V2 \quad \dots (7)$$

## 【0069】

ここで電圧V2は、セルトランジスタをオフに保つ値であり例えば、V2 = -1.5Vである。この電圧V2は、データ読み出し時及び“0”書き込み時の非選択ワード線、及びデータ保持時のワード線電圧と同じでよい。電圧V2の下限は、非選択のセルトランジスタのGIDL電流により決まる。“1”書き込みにインパクトイオノ化を利用する方式では、図29で説明したように、ビット線(ドレイン)に1.5Vがかかるので、非選択ワード線電圧を-1.5V以下にすると、非選択セルで大きなGIDL電流が流れる。

## 【0070】

これに対してこの実施の形態では、3つのタイプの“1”書き込み条件のうち、図16に示す“1”書き込み条件のときの非選択ビット線電圧1Vが最大ドレイン電圧となる。従って、ワード線電圧を-1.5Vより更に低くすることができる。例えば、図11に示す“1”書き込み条件と図13に示す読み出し条件を適用した場合、最大ドレイン電圧は、読み出し時の選択ビット線電圧0.2Vである。ドレイン・ゲート間電圧が3V以下であれば、GIDL電流の影響が無視できるものとすると、電圧V2は、-2.8Vまで下げることができる。

## 【0071】

一方、選択ワード線電圧VWL<sub>S</sub>は、図17の非選択セルC1のドレイン・ソース間電圧が0Vであれば、非選択ワード線電圧VWL<sub>U</sub>より高くすることもできる。即ち、下記式(8)の関係を用いることができる。

## 【0072】

$$VWLs > VWLU \quad \dots (8)$$

## 【0073】

例えば、選択エミッタ線EL(sel.)の電圧がVELS = 0V、非選択ビット線BL(unsel.)の電圧がVBLU = 0Vのとき、選択ワード線電圧をVWL<sub>S</sub> = 1.5Vとすることができる。これは、図15に示した“1”書き込みバイアス条件であり、非選択セルC1でのGIDLによる誤書き込みは防止される。

## 【0074】

また、(2)、(3)式に示す電圧V0が例えば、0.3Vであるとすると、図16に示す“1”書き込みバイアス条件では、非選択ビット線電圧BL(unsel.)の電圧VBLUを0.7Vまで下げることができる。ビット線電圧は低い方がGIDL電流を減らすことができるので、この様に非選択ビット線電圧を下げるることは、誤動作防止にとって好ましい。

## 【0075】

## [書き込みシーケンス]

インパクトイオノ化を“1”書き込みに利用する方式では、ワード線を共有する複数のセルに対して、ビット線電圧を異ならせることによって、同時に“1”書き込みと“0”

書き込みを実行することができる。これに対して、パイポーラ書き込みを利用するこの実施の形態においては、ソース線SLを電位固定して、ワード線を共有する複数のセルに対して同時に“1”書き込みと“0”書き込みを実行することは難しい。

#### 【0076】

そこで好ましくは、同じ選択ワード線に沿った複数セルに対する“1”書き込みと“0”書き込みのタイミングをずらして、2ステップの書き込み動作を行う。その具体的な書き込みモードを以下に説明する。図18は、二つのセンスユニット103にそれぞれ書き込みデータ“0”と“1”がラッチされている状態を示している。これらの書き込みデータに応じて、ビット線セレクタ102によりそれぞれ選択されるビット線BL(sel.)に必要な電圧が与えられ、ワード線WL(sel.)とエミッタ線EL(sel.)により選択されたセルにデータが書き込まれることになる。その書き込み動作としては、図19～図22に示す4つの書き込みシーケンス1～4が考えられる。

#### 【0077】

図19に示す書き込みシーケンス1では、ステップ1で選択ワード線WL(sel.)と複数の選択ビット線BL(sel.)により選択される全ての選択セルに、“1”書き込みを行う。このとき全ての選択ビット線BL(sel.)には、ラッチデータに拘わらず、“1”書き込み用の電圧、例えば-1Vを与える。選択エミッタ線EL(sel.)に0Vを与える。選択ワード線WL(sel.)には、非選択ワード線WL(unsel.)と同じ-1.5Vを与える。これは、図11の書き込みタイプType1の書き込み条件である。これにより、全ての選択セルで、エミッタからのホール注入により“1”データが書かれる。

#### 【0078】

次に、ステップ2において、全ての選択セルのうち書き込みデータ“0”が与えられているセルについて、“0”書き込みを行う。具体的には、選択ワード線WL(sel.)に1.5V、選択エミッタ線EL(sel.)と、書き込みデータ“0”が与えられた選択ビット線BL(sel.)には-1Vを与える。書き込みデータ“1”が与えられた選択ビット線は、ステップ1の後、“1”データを保持するに必要な電圧0Vに保持する。これにより、“0”データが与えられた選択セルでのみ、チャネルボディのホール放出による“0”書き込みが行われる。

#### 【0079】

図20に示す書き込みシーケンス2では、ステップ1で選択ワード線WL(sel.)に沿ったセルのうち書き込みデータ“1”が与えられているセルについて“1”書き込みを行う。このとき選択ビット線BL(sel.)には、ラッチデータ“1”，“0”に応じて、異なる電圧を与える。具体的には、“1”データが与えられた選択ビット線BL(sel.)には-1V、“0”データが与えられた選択ビット線BL(sel.)には非選択ビット線BL(unsel.)と同じ0Vを与える。また選択エミッタ線EL(sel.)に0Vを与える。選択ワード線WL(sel.)には、非選択ワード線WL(unsel.)と同じ-1.5Vを与える。これにより、“1”を書き込むべきセルについてのみ、書き込みが行われる。ステップ2では、図19のそれと同様に、“0”データが与えられた選択セルについて“0”書き込みを行う。

#### 【0080】

図21に示す書き込みシーケンス3では、ステップ1で選択ワード線WL(sel.)と複数の選択ビット線BL(sel.)により選択される全ての選択セルに、“0”書き込みを行う。このとき全ての選択ビット線BL(sel.)には、ラッチデータに拘わらず、“0”書き込み用の電圧、例えば-1Vを与える。選択エミッタ線EL(sel.)に-1Vを与える。選択ワード線WL(sel.)には、1.5Vを与える。これにより、全ての選択セルで、チャネルボディの過剰ホールがドレインに放出されて、“0”データが書かれる。

#### 【0081】

次に、ステップ2において、全ての選択セルのうち書き込みデータ“1”が与えられているセルについて、“1”書き込みを行う。具体的には、選択ワード線WL(sel.)に-1.5V、選択エミッタ線EL(sel.)に0V、書き込みデータ“1”が与えられた選択ビット線BL(sel.)に-1Vを与える。書き込みデータ“0”が与えられた選択ビット線は、

ステップ1の後、電圧0Vに保持する。これにより、“1”データが与えられた選択セルでのみ、エミッタ層からチャネルボディにホールが注入されて、“1”書き込みが行われる。

#### 【0082】

図22に示す書き込みシーケンス4は、図20とは二つのステップを逆にしている。ステップ1で選択ワード線WL(sel.)に沿ったセルのうち書き込みデータ“0”が与えられているセルについて“0”書き込みを行う。このとき選択ビット線BL(sel.)には、ラッチデータ“1”，“0”に応じて、異なる電圧を与える。具体的には、“0”データが与えられた選択ビット線BL(sel.)には-1V、“1”データが与えられた選択ビット線BL(sel.)には非選択ビット線BL(unsel.)と同じ0Vを与える。また選択エミッタ線EL(sel.)に-1Vを与える、選択ワード線WL(sel.)には、1.5Vを与える。これにより、“0”を書き込むべきセルについてのみ、書き込みが行われる。ステップ2では、図21のそれと同様に、“1”データが与えられた選択セルについて“1”書き込みを行う。

#### 【0083】

以上の4タイプの書き込みシーケンス1～4のなかでは、選択セルに1度だけ書き込みを行う図20或いは図22の書き込みシーケンス2, 4が、一旦全ての選択セルに書き込みを行う図19或いは図21の書き込みシーケンス1, 3に比べて、無駄な消費電力が少ないという点で優れている。一旦全ての選択セルに書き込みを行う図19と図21の書き込みシーケンス1, 3の間にも消費電力の差はある。従ってこれらの点を考慮して、最適の書き込みシーケンスを採用すればよい。

#### 【0084】

以上の書き込みシーケンスにおいて、センスユニット103のデータラッチにロードされる書き込みデータを判定し、全ての書き込みデータが“1”或いは“0”的場合には、1ステップのみで書き込み動作を終了するという機能を追加することは有効である。この様なデータ判定は、センスユニット103にロードされる前の書き込みデータに基づいて行うこともできる。

#### 【0085】

ソース線SLの電圧を選択、非選択に応じて異なる値に設定することにより、ワード線WL方向の複数の選択セルに“0”，“1”を同時に書き込むことが可能である。その様なデータ書き込み法のバイアス条件を図23に示す。ここでは、2本の選択ビット線BL(sel.)と1本の選択ワード線WL(sel.)により選択される二つのセルCell1, Cell2にそれぞれ“0”，“1”的書き込みを行う場合を示している。

#### 【0086】

選択ワード線WL(sel.)、選択エミッタ線EL(sel.)、選択ソース線SL(sel.)にはそれぞれ、2.5V, 0V, 1Vを与える。非選択ワード線WL(unsel.)、非選択エミッタ線EL(unsel.)、非選択ソース線SL(unsel.)はそれぞれ、-1.5V, -1V, 0Vを与える。“0”書き込みを行うセルCell1につながる選択ビット線BL(sel.)には、0V、“1”書き込みを行うセルCell2につながる選択ビット線BL(sel.)には、-1Vを与える。非選択ビット線BL(unsel.)には1Vを与える。

#### 【0087】

このとき、一方の選択セルCell1では、図12に示した“0”書き込み条件と相対的に同じ電位関係になり、“0”が書き込まれる。他方の選択セルCell2では、バイポーラトランジスタがオンになるバイアス条件が与えられており、“1”が書き込まれる。選択ワード線WL(sel.)には比較的高い電圧が与えられるが、選択ソース線SL(sel.)にも正電圧を与えることによって、選択ワード線(sel.)に沿った非選択メモリセルでもデータ破壊は防止される。非選択ワード線WL(unsel.)に沿った全てのメモリセルもデータを保持する。

#### 【0088】

##### 【実施の形態の効果】

以上のようにこの実施の形態のFBCでは、インパクトイオン化に代わって、バイポー

ラ動作を利用して“1”書き込みが行われる。従って、“1”書き込みに要する時間を短縮することが可能になる。また非選択セルにおいて、GIDL電流による誤書き込みが生じるおそれもない。更に、インパクトイオノ化を利用する場合と異なって、“1”書き込みに無駄な電力を消費することがない。

#### 【0089】

またこの実施の形態では、“0”, “1”データを保持するセルの間のしきい値差 $\Delta V_{th}$ が、インパクトイオノ化により“1”書き込みを行う方式に比べて高くなる。その理由を具体的に説明する。FBCでは、チャネルボディとドレイン及びソース層との間に拡散層容量（接合容量）がある。インパクトイオノ化により“1”書き込みを行う方式では、書き込み終了後、ビット線電圧が1.5Vから0Vに引き下げられる。このとき、ドレイン側の拡散層容量によるカップリングで、チャネルボディの電位も引き下げられる。これは、“1”データの信号量の低下になる。

#### 【0090】

これに対してこの実施の形態の“1”書き込み方式では、書き込み終了後にビット線電圧は引き上げられる。例えば、図11及び図15の書き込みタイプType 1, 2では、ビット線電圧が-1Vから0Vになる。図16のタイプType 3では、ビット線電圧が0Vから1Vになる。従って、書き込み後に“1”データの信号量が低下することはない。デバイスシミュレーションによれば、インパクトイオノ化による“1”書き込みと比べて、バイポーラ書き込みの場合、“0”, “1”データのしきい値差 $\Delta V_{th}$ は約40%増加することが明らかになっている。

#### 【0091】

この実施の形態と類似技術との相違も明白である。例えば、特許文献3のメモリは、フローティングのボディにMOSトランジスタ動作により電荷を注入する方式を採用している。また特許文献3のセルレイアウトは、この実施の形態のワード線WLとビット線BLに対応する配線が並行し、エミッタ線ELに相当する配線がこれらと直交している。この様なレイアウトの結果、ワード線に沿って配列された複数のセルは、同時に選択か、同時に非選択かのいずれかになる。即ちこの実施の形態におけるように、選択セルとワード線を共有する非選択セルの存在は許されない。

#### 【0092】

更に、特許文献3のメモリにおいては、上述したレイアウトの結果、ビット線毎にセンスアンプを配置しなければならない。先に述べたように、電流検出型センスアンプは比較的大きな面積を必要とするために、微細化したセルアレイにおいては、ビット線毎にセンスアンプを配置することが難しい。

特許文献4, 5は、セル構成原理は特許文献3と基本的に同じであるが、より複雑な構成となっており、セル面積も大きくなる。特許文献5においては、固有バイポーラトランジスタ(inherent bipolar transistor)について言及されているが、これはMOSトランジスタに本的に付随するバイポーラトランジスタであって、この発明におけるバイポーラトランジスタとは明らかに異なる。

#### 【0093】

以上の実施の形態においては、セルトランジスタとしてNMOSトランジスタを用いたが、N型半導体を用いたPMOSトランジスタをセルトランジスタとすることができます。この場合には、バイポーラ書き込みに用いられるトランジスタは、NPNトランジスタになる。

その他この発明はその趣旨を逸脱しない範囲で種々変形して実施することが可能である。

#### 【図面の簡単な説明】

#### 【0094】

【図1A】この発明の実施の形態によるメモリセル断面構造を示す図である。

【図1B】同メモリセルの等価回路である。

【図2】同実施の形態のセルアレイMCA1の平面図である。

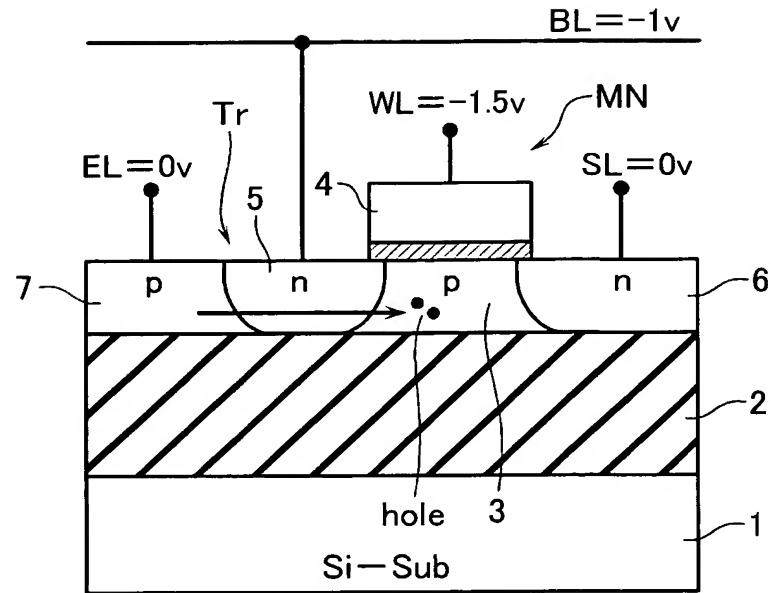
- 【図3】図2のI-I'断面図である。
- 【図4】図2のII-II'断面図である。
- 【図5】同セルアレイMCA1の等価回路である。
- 【図6】他のセルアレイMCA2の平面図である。
- 【図7】図6のI-I'断面図である。
- 【図8】同セルアレイMCA2の等価回路である。
- 【図9】同実施の形態のメモリチップの機能ブロック構成を示す図である。
- 【図10】同実施の形態のセンスアンプ回路構成を示す図である。
- 【図11】同実施の形態の“1”書き込み時のバイアス条件を示す図である。
- 【図12】同実施の形態の“0”書き込み時のバイアス条件を示す図である。
- 【図13】同実施の形態の読み出し時のバイアス条件を示す図である。
- 【図14】同実施の形態のデータ保持時のバイアス条件を示す図である。
- 【図15】同実施の形態の“1”書き込み時の他のバイアス条件を示す図である。
- 【図16】同実施の形態の“1”書き込み時の更に他のバイアス条件を示す図である
- 【図17】同実施の形態の“1”書き込み時の一般化したバイアス条件を説明するための図である。
- 【図18】同実施の形態の書き込みシーケンスを説明するための図である。
- 【図19】第1の書き込みシーケンスを示す図である。
- 【図20】第2の書き込みシーケンスを示す図である。
- 【図21】第3の書き込みシーケンスを示す図である。
- 【図22】第4の書き込みシーケンスを示す図である。
- 【図23】“0”, “1”データの同時書き込みを行うためのバイアス条件を示す図である。
- 【図24】従来のFBCメモリのセルアレイ等価回路を示す図である。
- 【図25】従来のFBCの“1”書き込み動作を説明するための図である。
- 【図26】従来のFBCの“0”書き込み動作を説明するための図である。
- 【図27】従来のFBCの読み出し動作を説明するための図である。
- 【図28】FBCの電圧-電流特性を示す図である。
- 【図29】従来のFBCの問題を説明するための図である。

#### 【符号の説明】

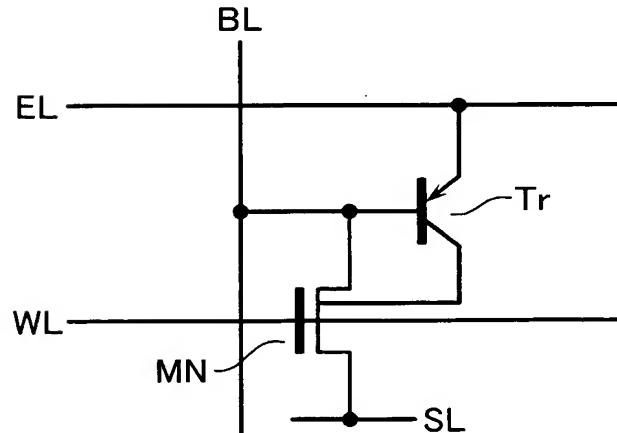
##### 【0095】

1…シリコン基板、2…絶縁膜、3…p型シリコン層、4…ゲート電極、5…ドレイン層、6…ソース層、7…エミッタ層、MN…NMOSトランジスタ、Tr…PNPバイポーラトランジスタ、WL…ワード線、BL…ビット線、SL…ソース線、EL…エミッタ線、10…シリコン基板、11…n+型層、12…絶縁膜、13…p型シリコン層、14…ゲート電極（ワード線WL）、15…ドレイン層、16…ソース層、17…エミッタ層、21…素子分離絶縁膜、22a, 22b…層間絶縁膜、23…コンタクトプラグ、24…ソース線（SL）、25…中継電極、26…エミッタ線（EL）、27…コンタクトプラグ、28…ビット線（BL）、29…ピラー。

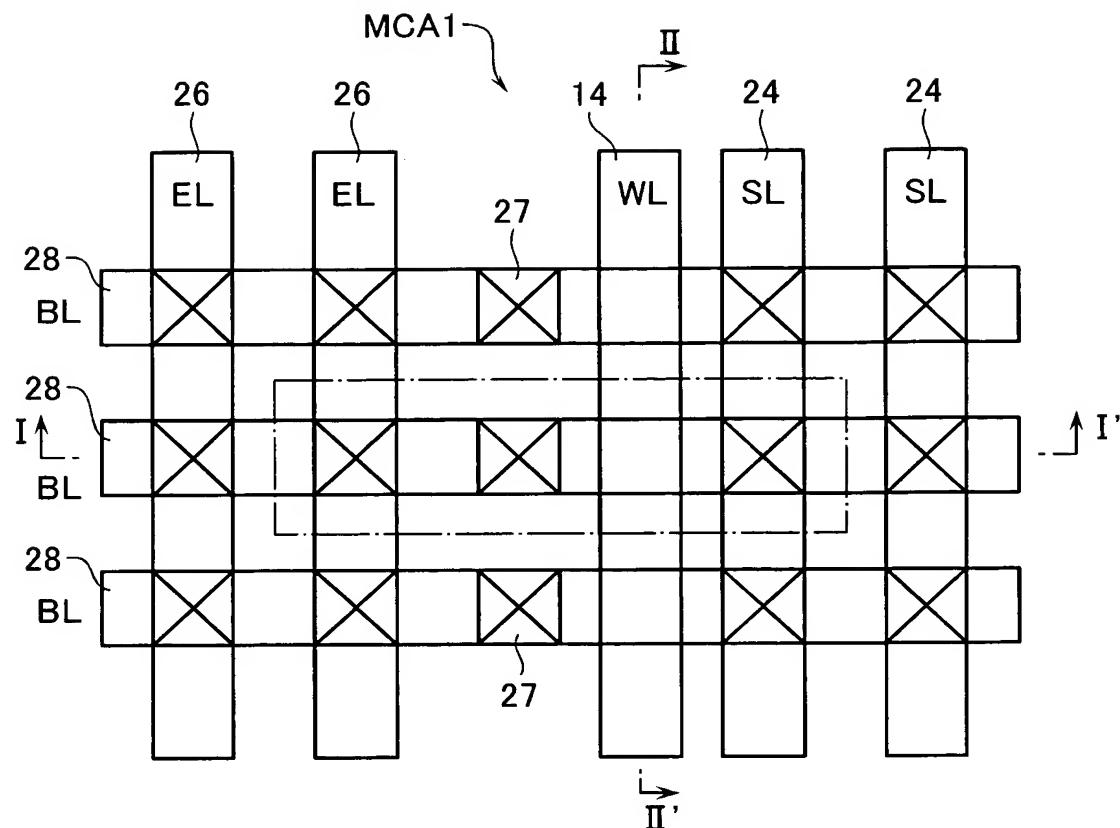
【書類名】 図面  
【図1A】



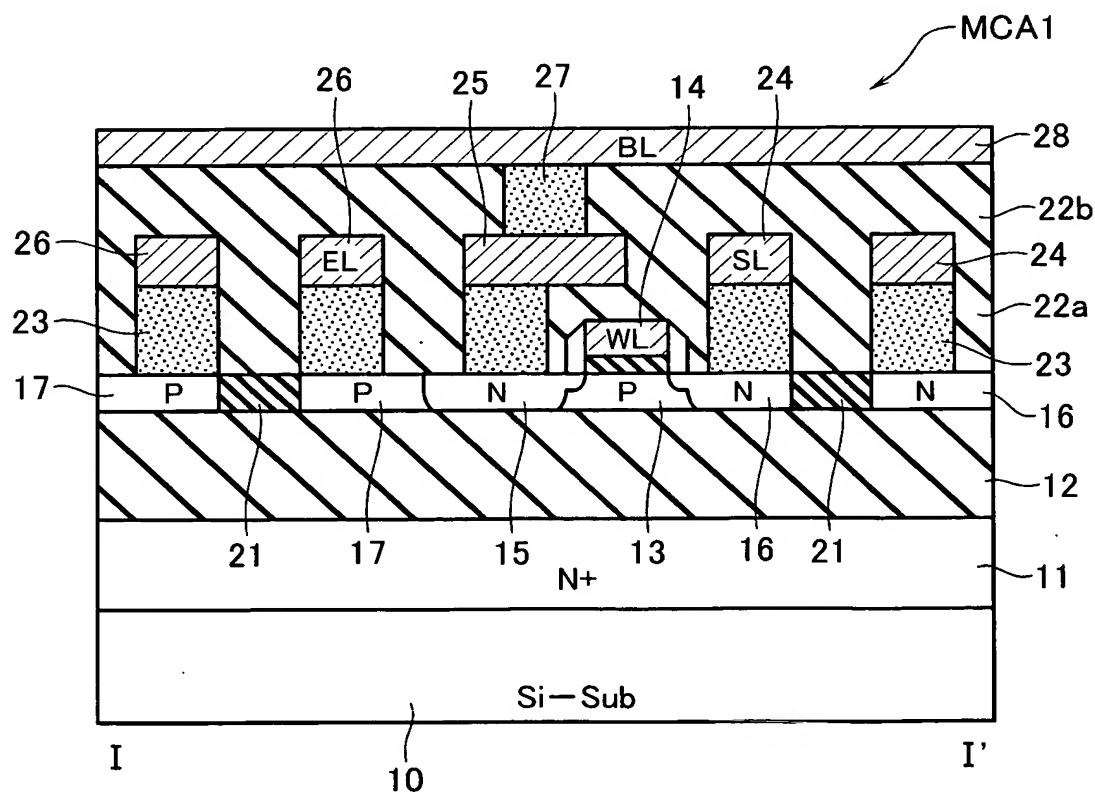
【図1B】



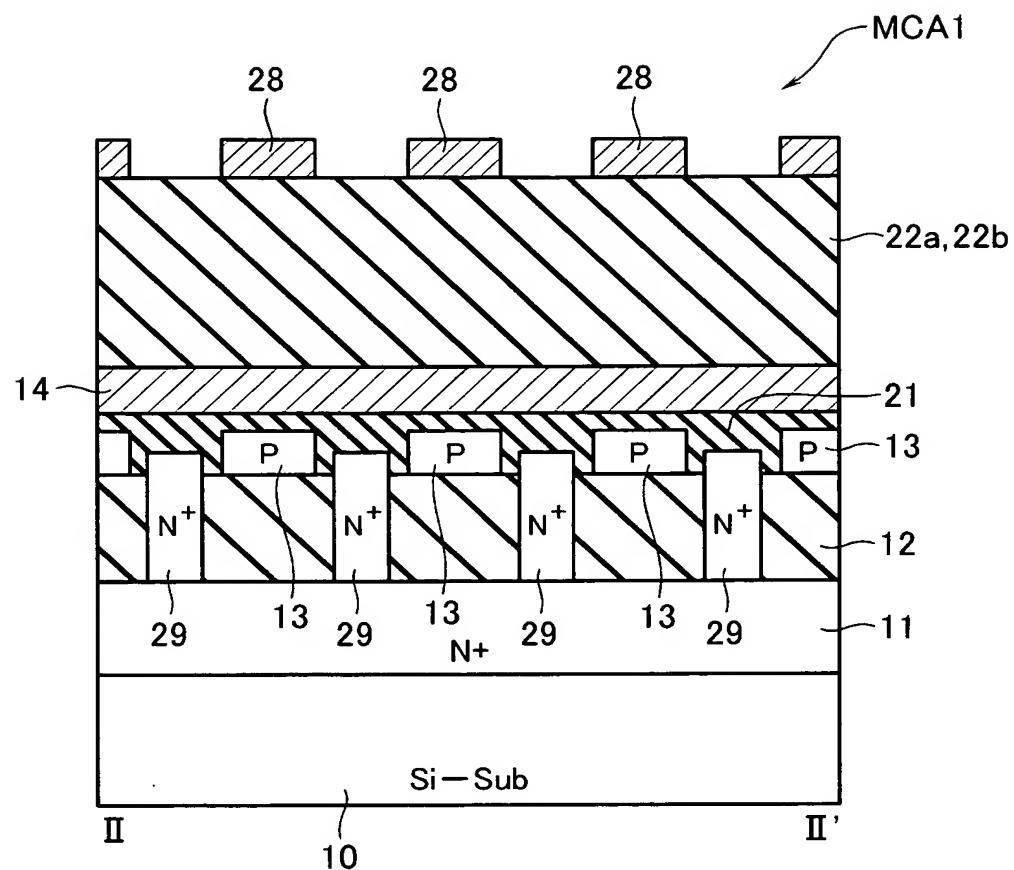
【図2】



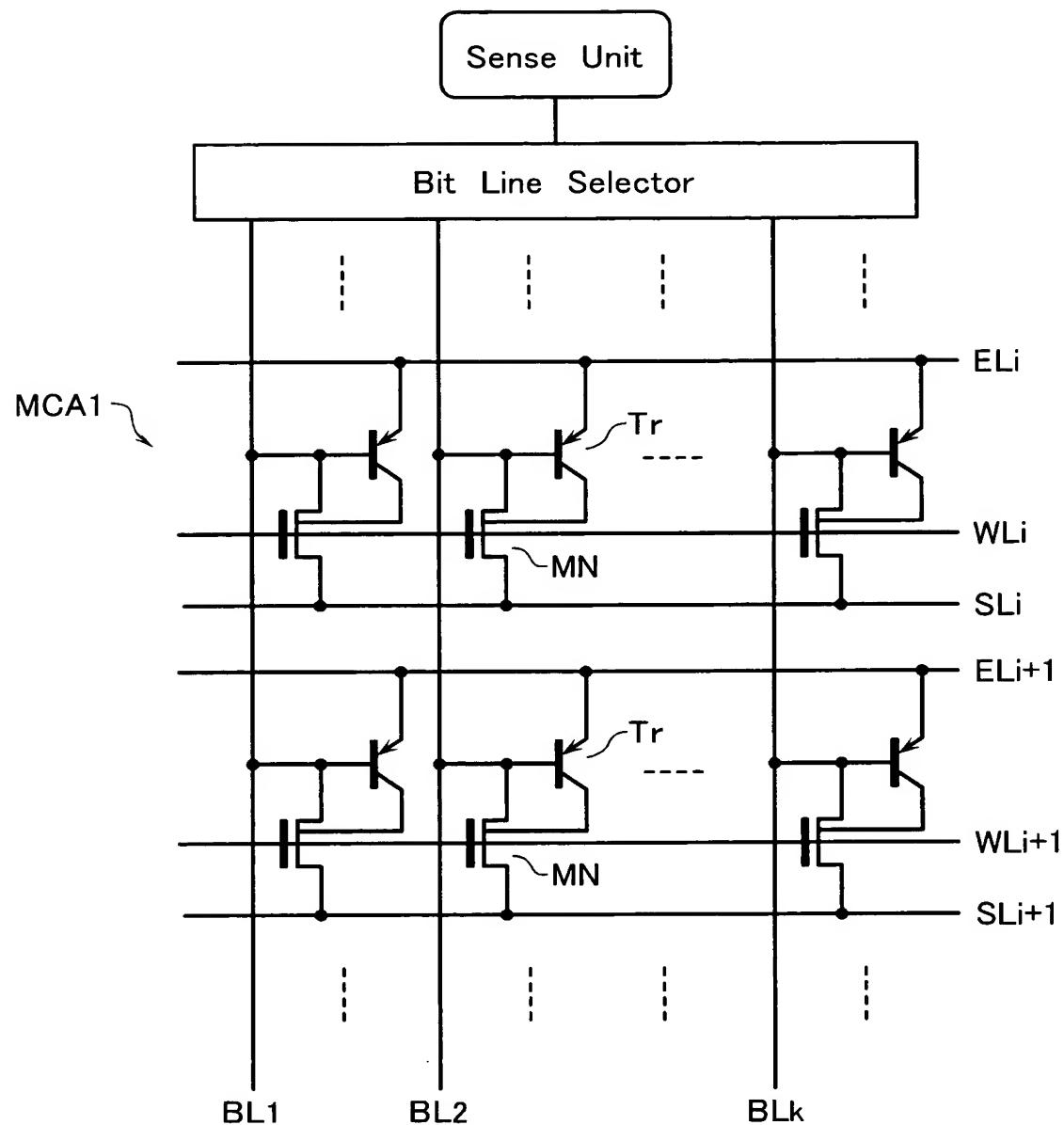
【図3】



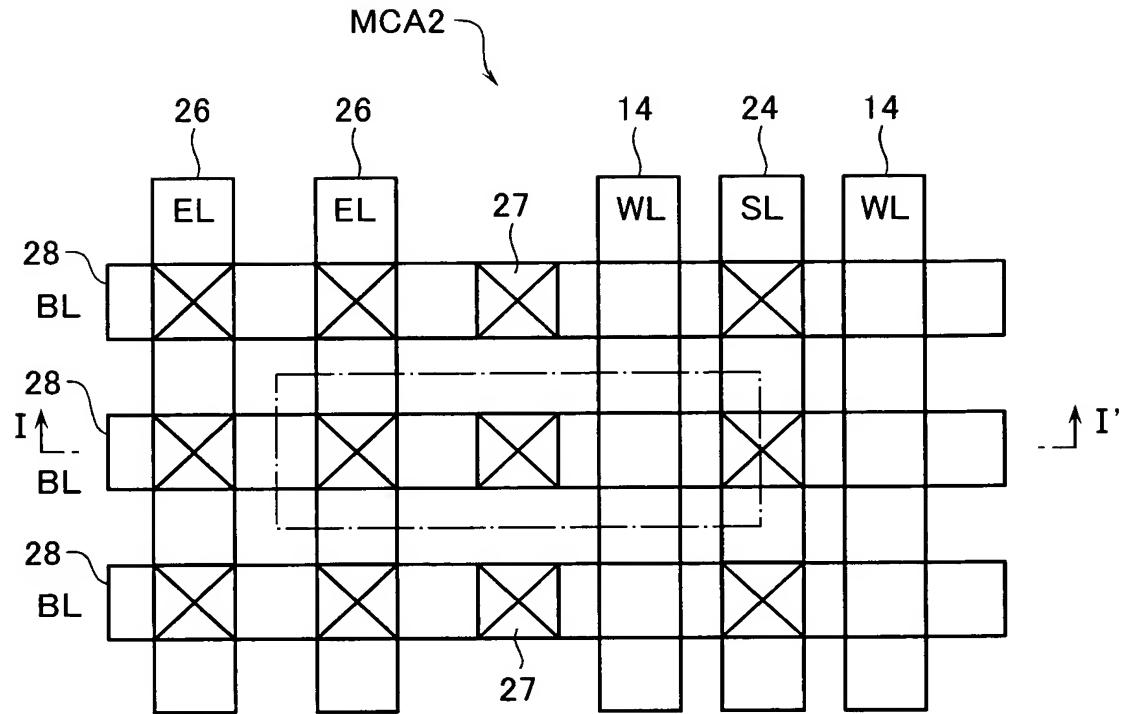
【図4】



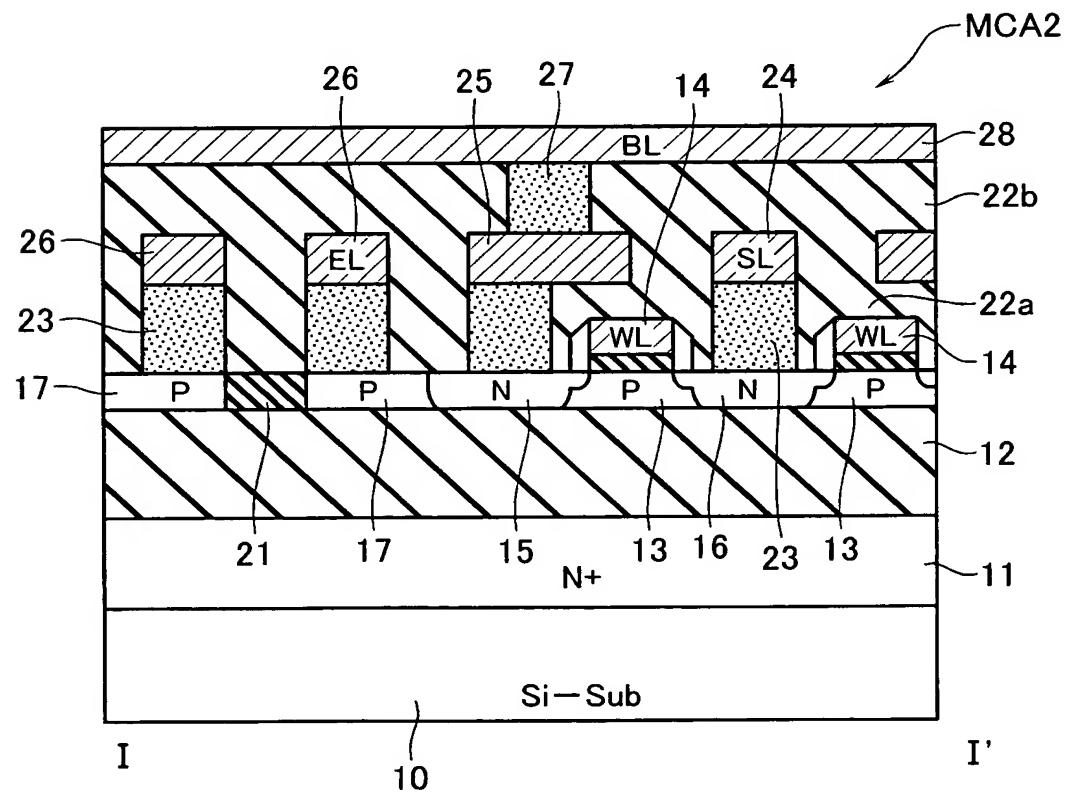
【図5】



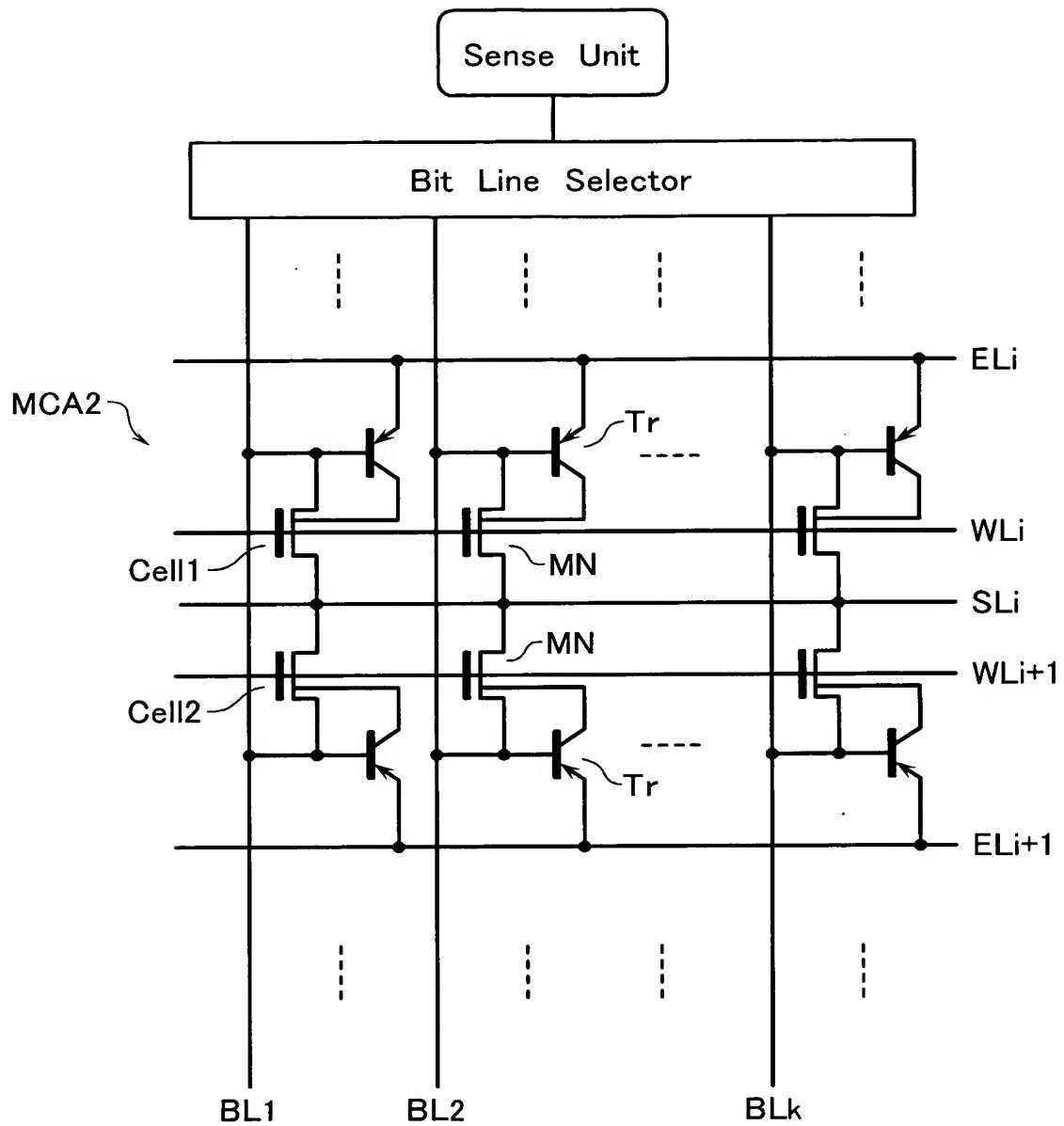
【図6】



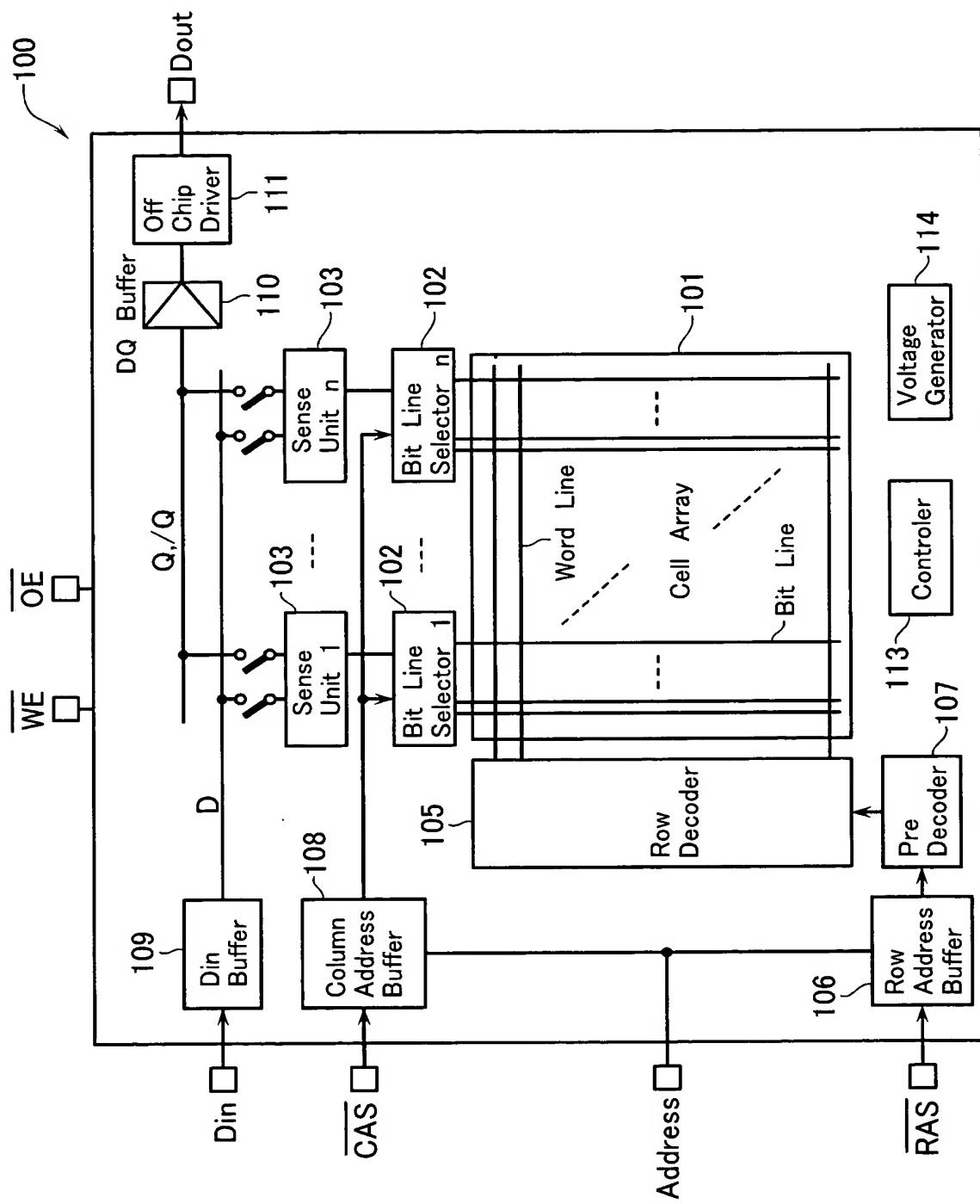
【図7】



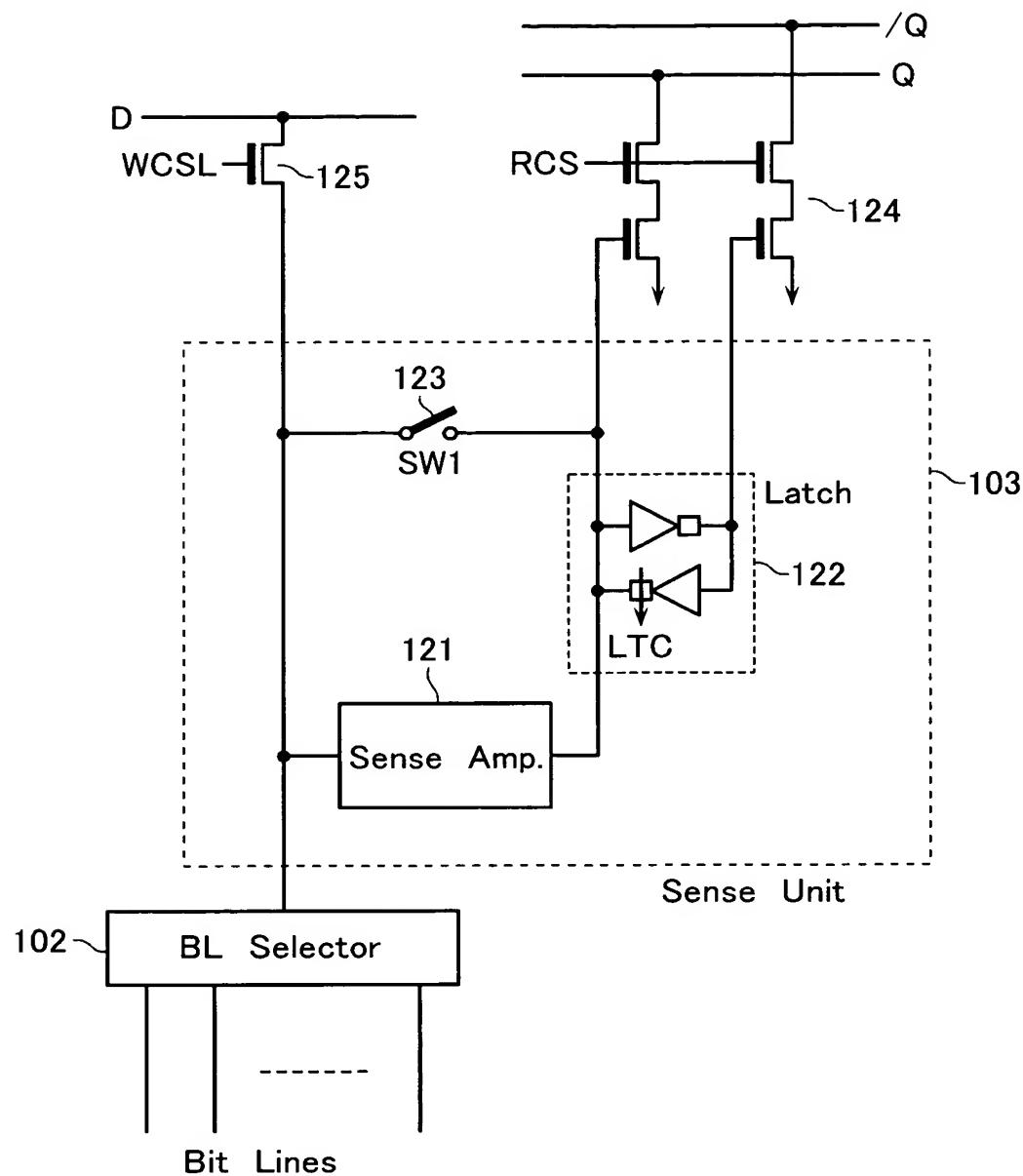
【図8】



【図9】

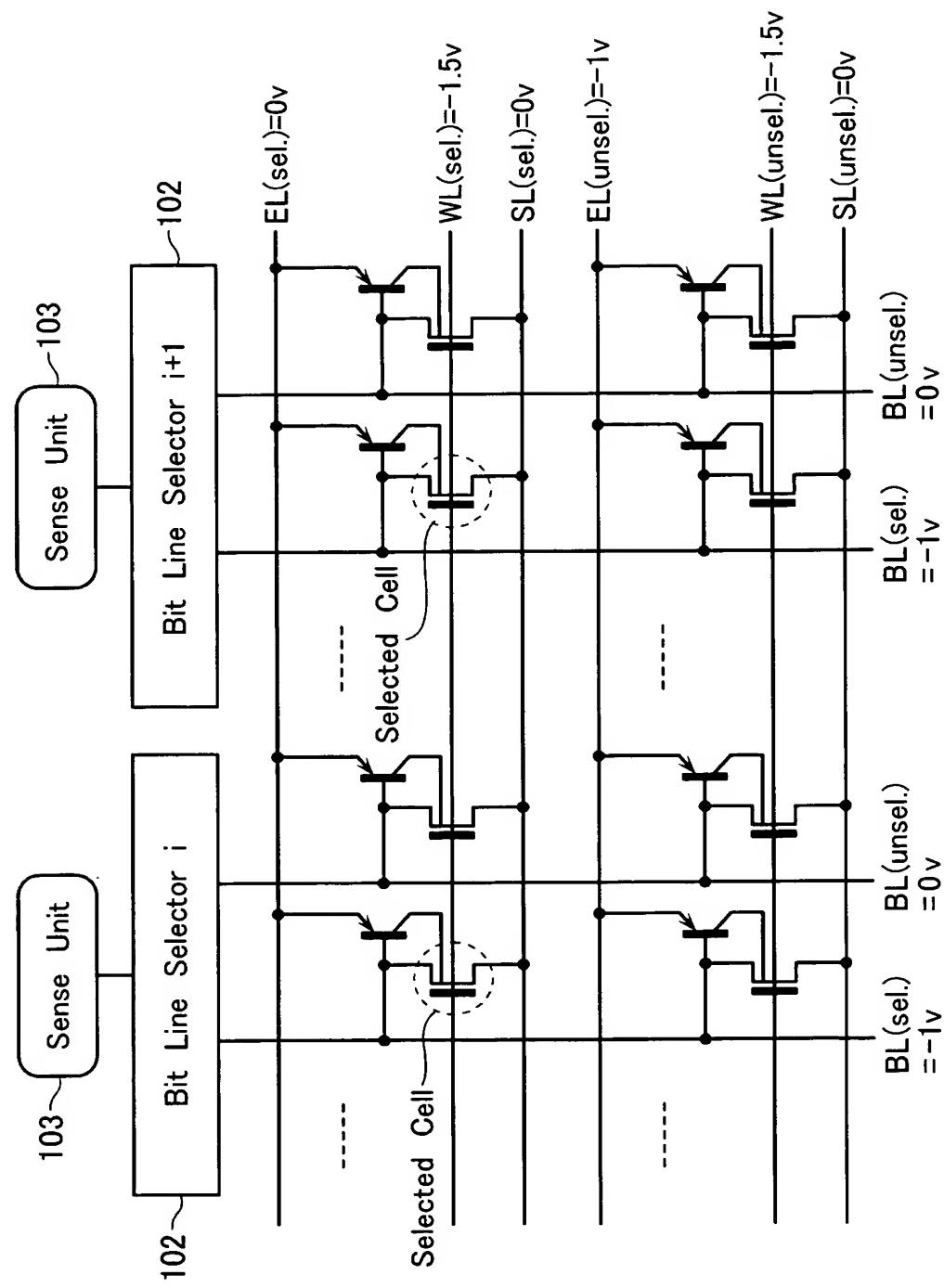


【図10】

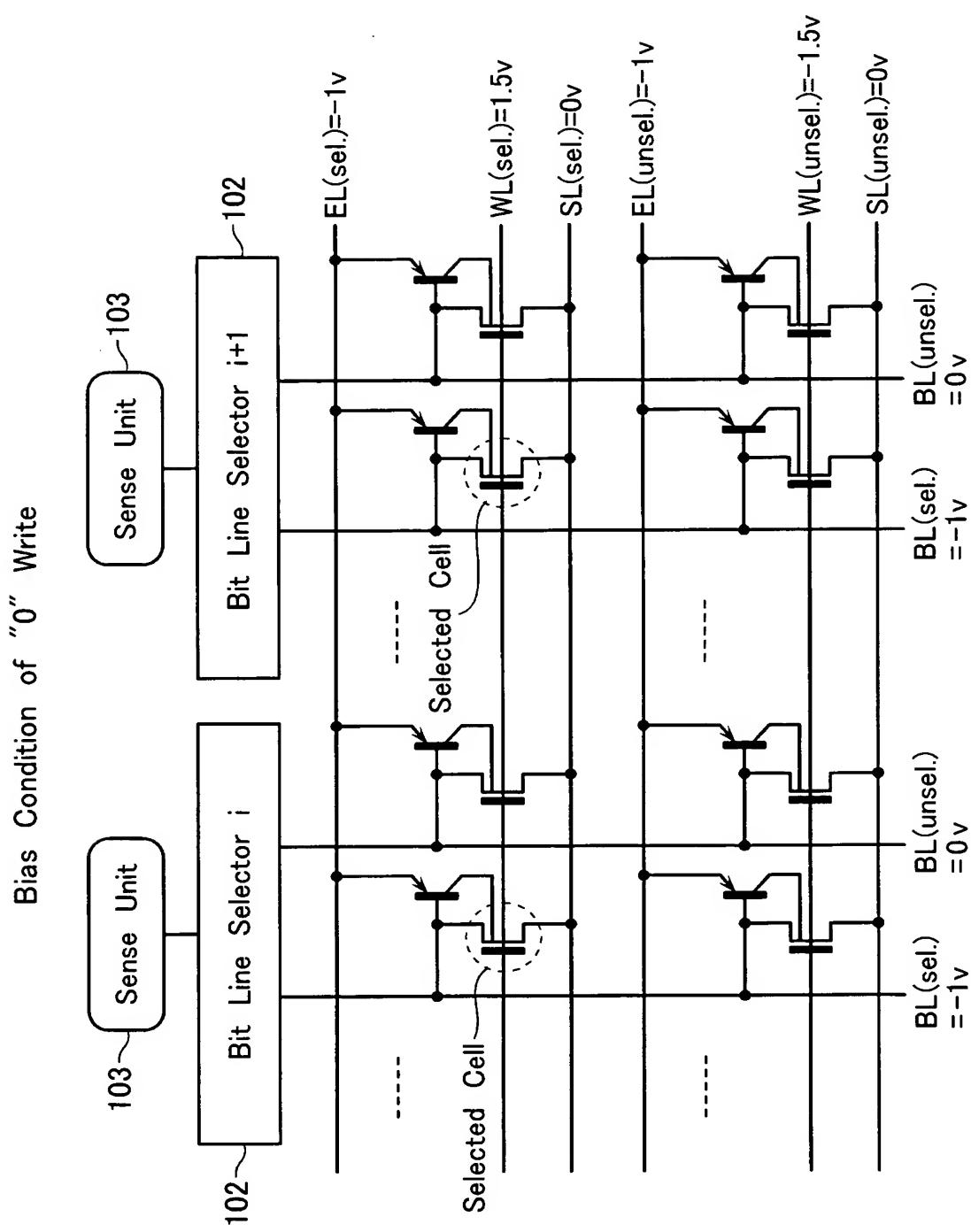


【図 11】

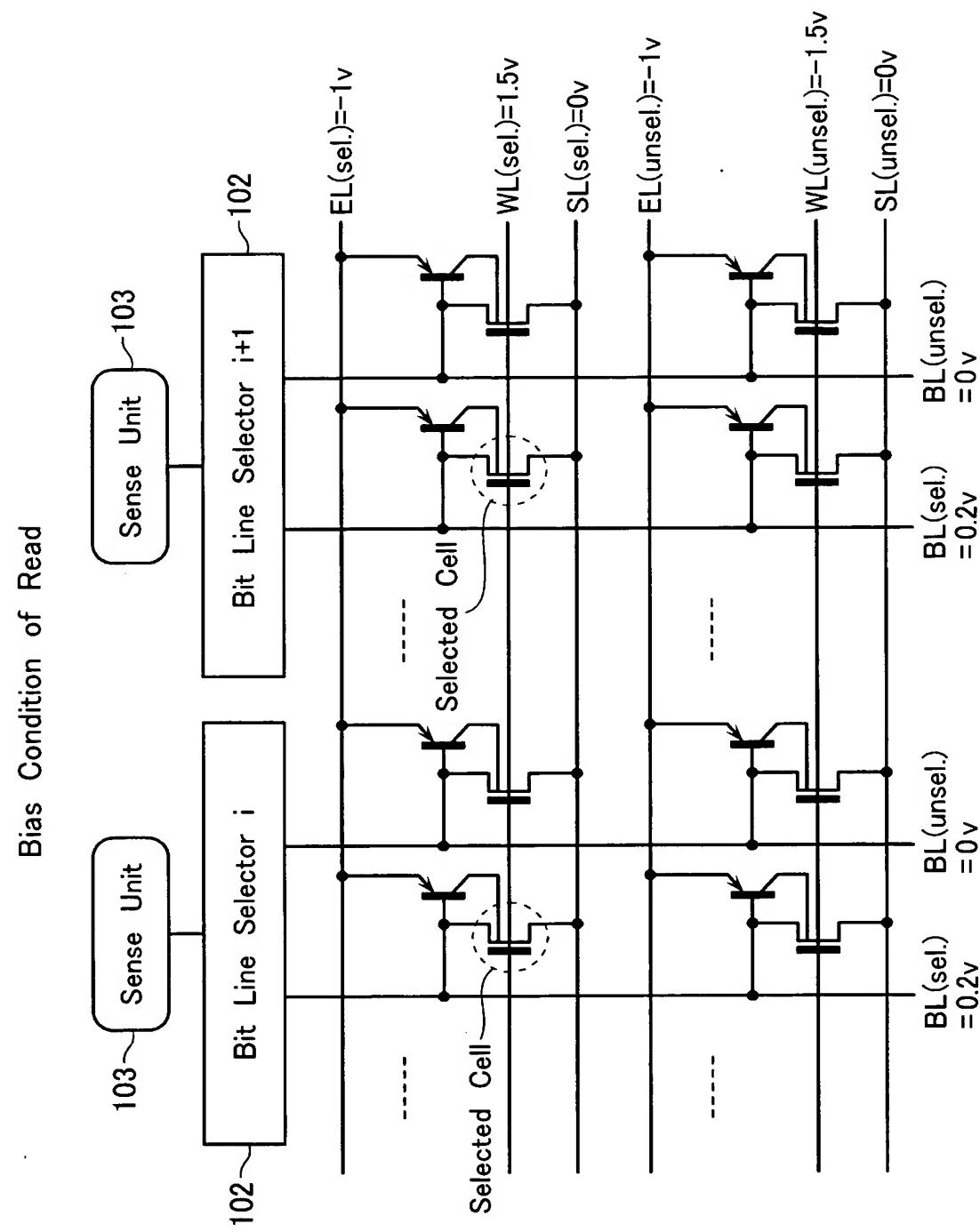
Bias Condition of "1" Write(Type1)



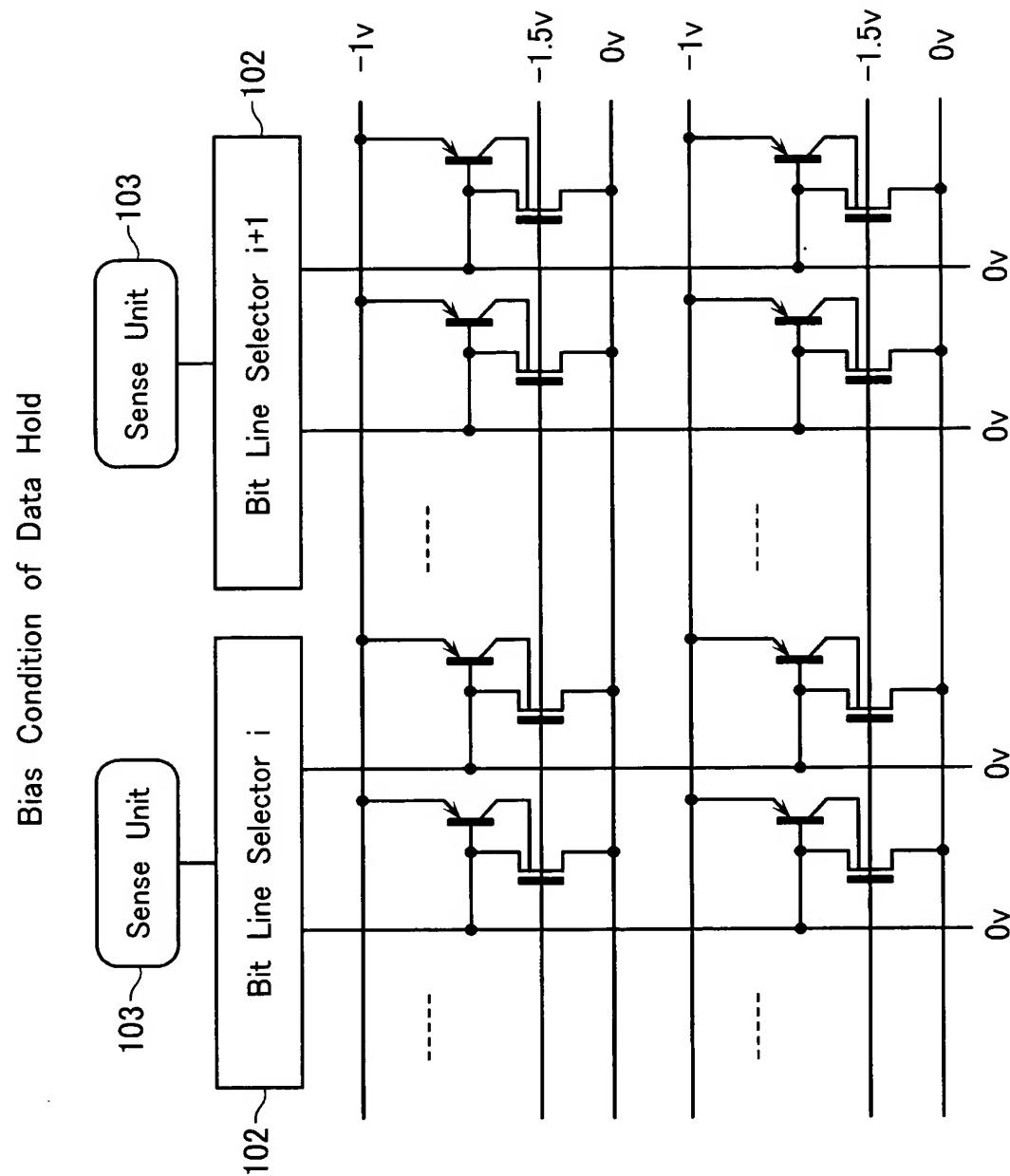
【図 12】



【図13】

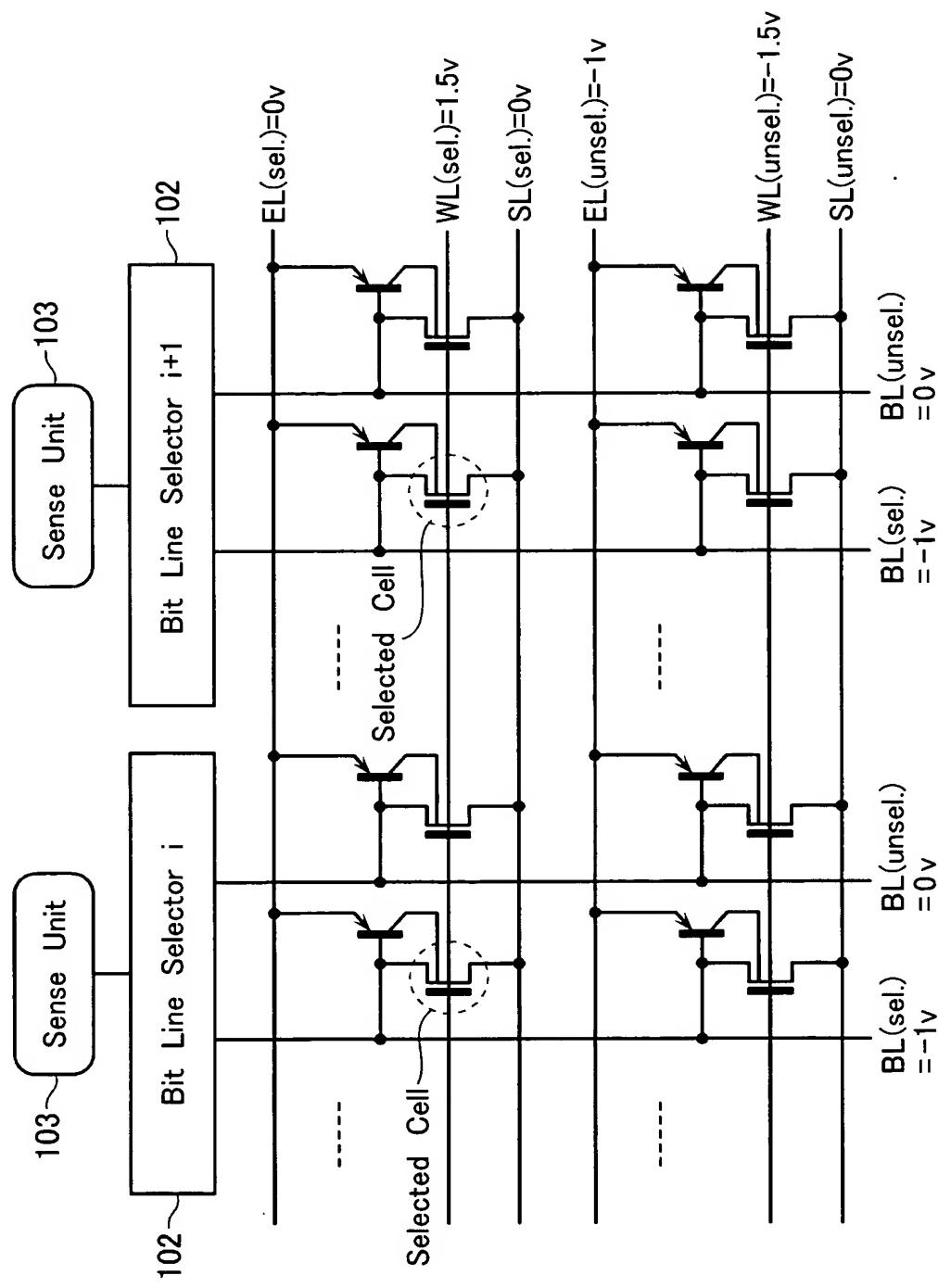


【図14】



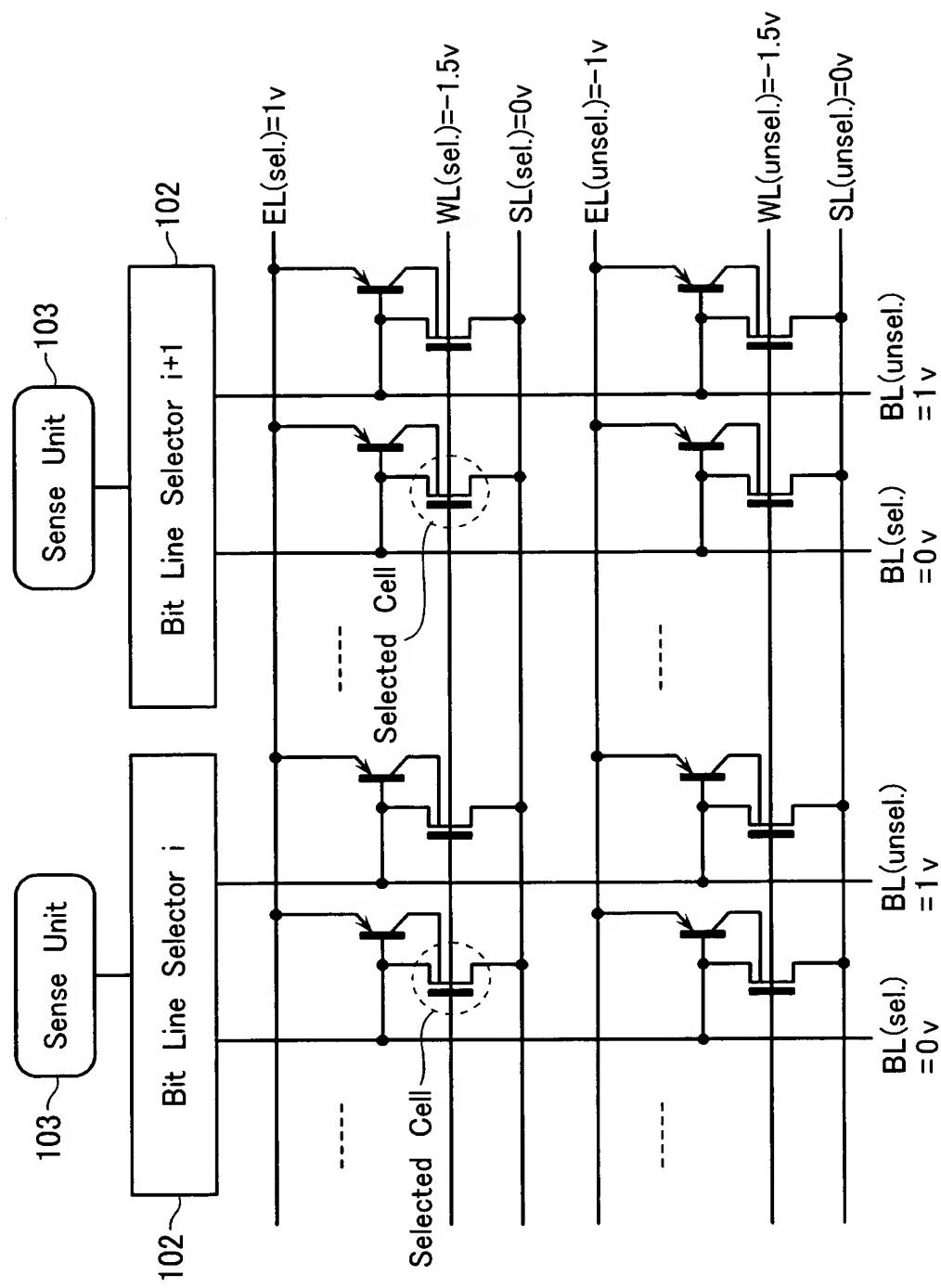
【図15】

Bias Condition of "1" Write(Type2)

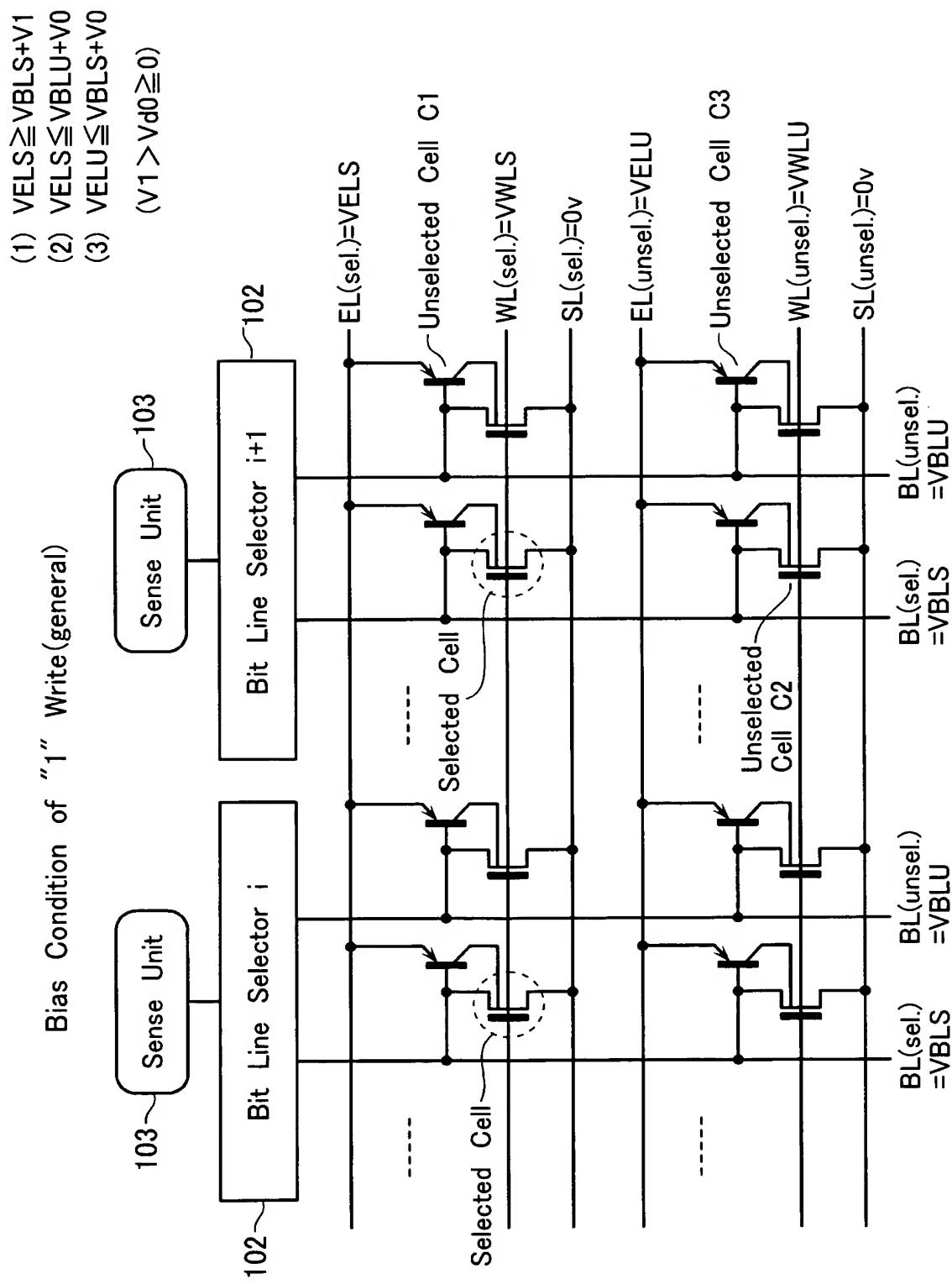


【図 16】

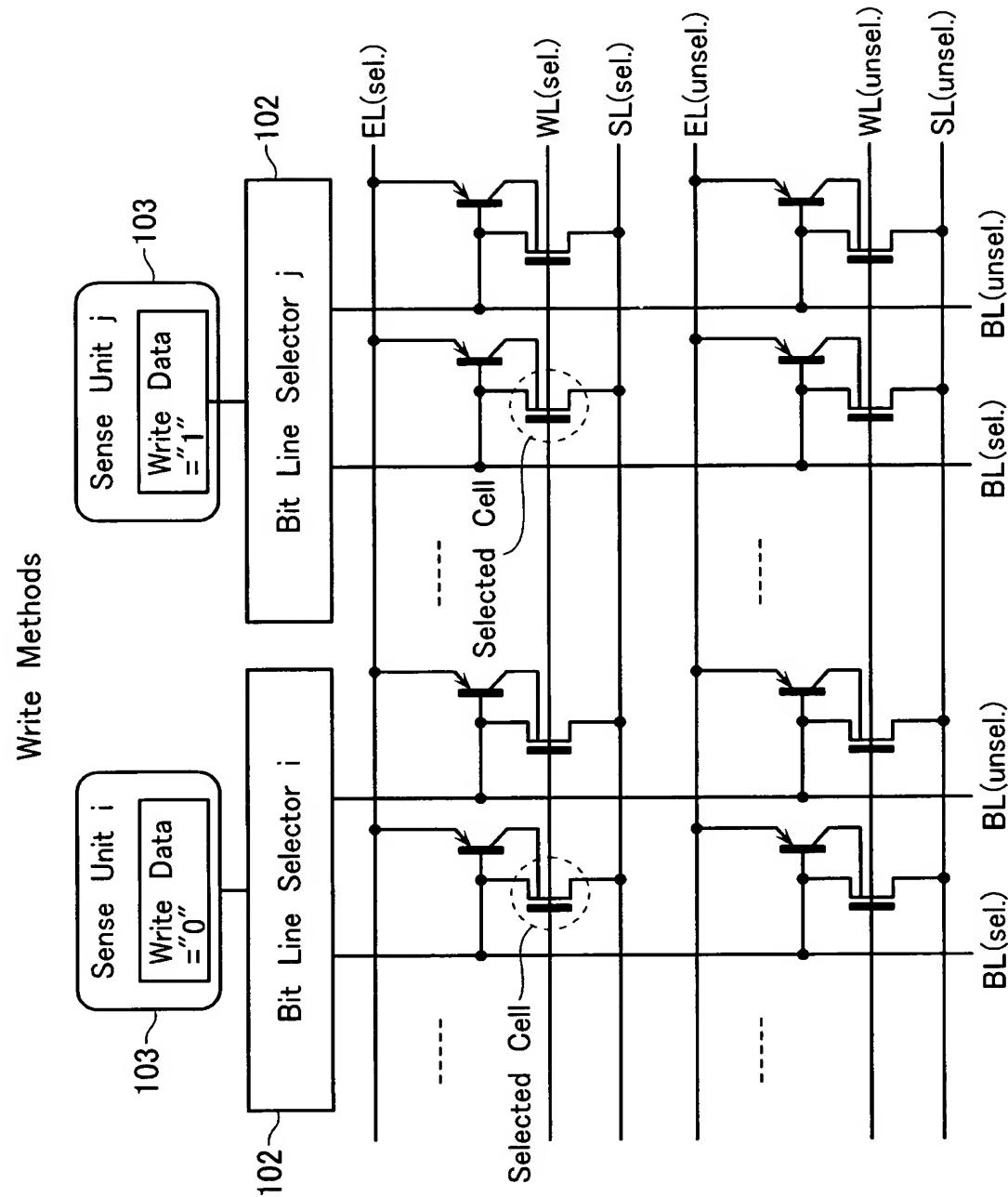
Bias Condition of "1" Write (Type3)



【図 17】



【図18】



【図19】

## Write Sequence 1

## Step 1

Write "1" into  
all selected cells

## Step 2

Write "0" into  
selected cells with  
Write Data "0"  
being applied

【図20】

## Write Sequence 2

## Step 1

Write "1" into  
selected cells with  
Write Data "1"  
being applied

## Step 2

Write "0" into  
selected cells with  
Write Data "0"  
being applied

【図21】

## Write Sequence 3

## Step 1

Write "0" into  
all selected cells

## Step 2

Write "1" into  
selected cells with  
Write Data "1"  
being applied

【図22】

## Write Sequence 4

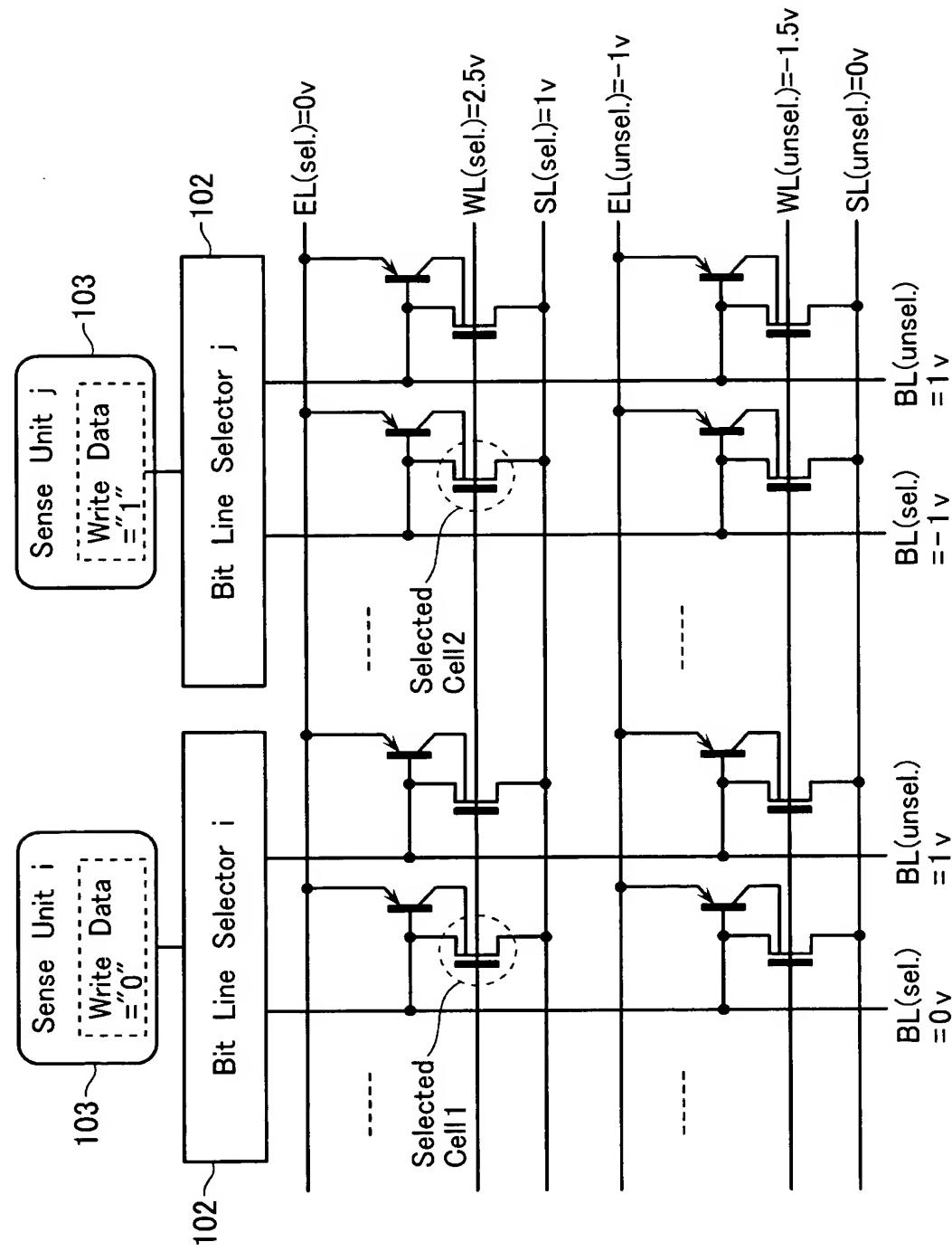
## Step 1

Write "0" into  
selected cells with  
Write Data "0"  
being applied

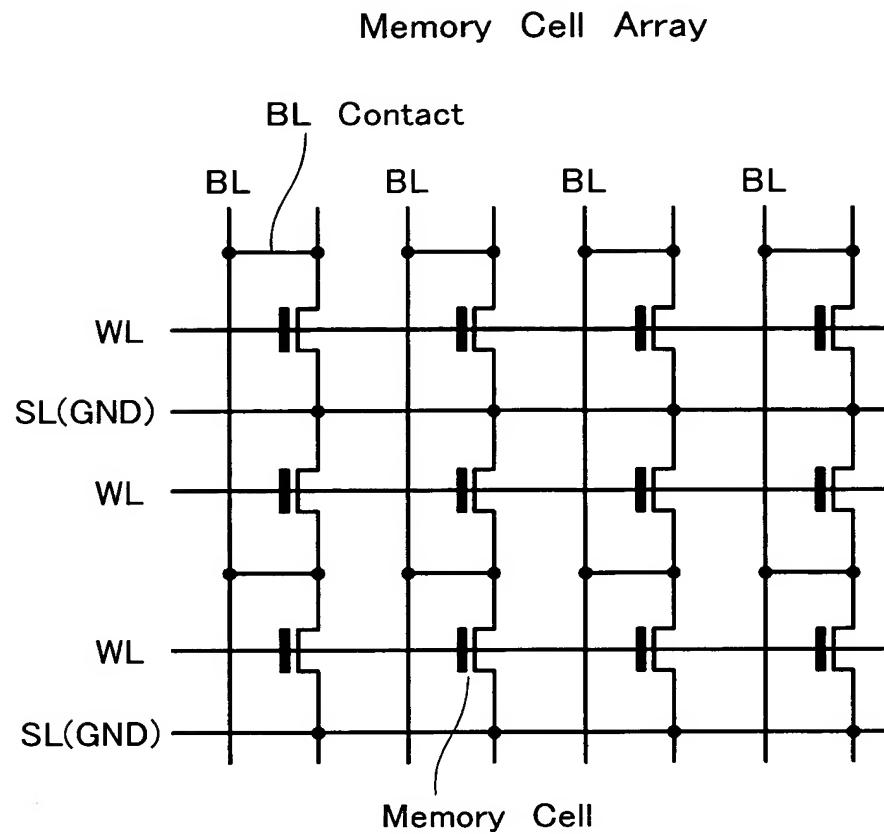
## Step 2

Write "1" into  
selected cells with  
Write Data "1"  
being applied

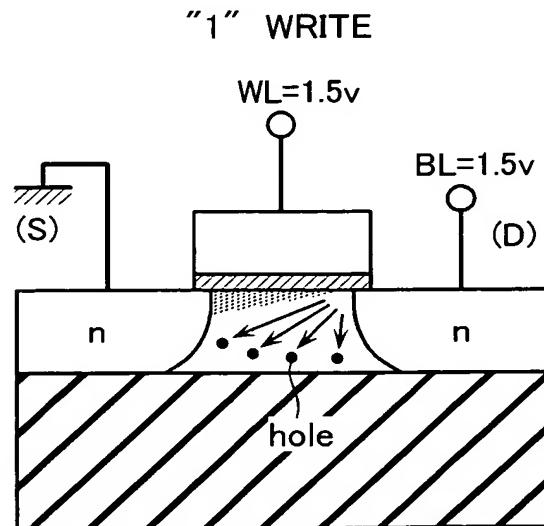
【図23】



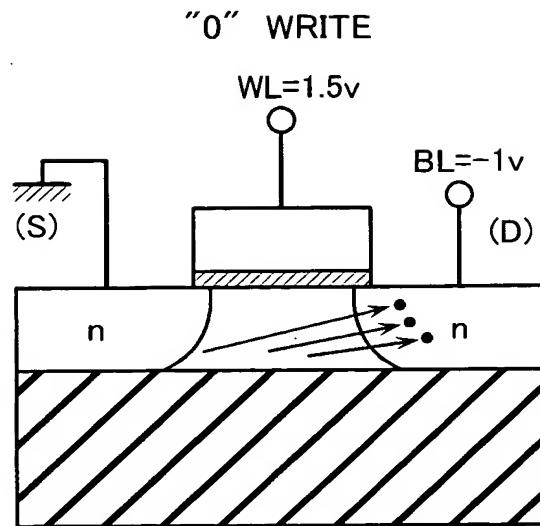
【図24】



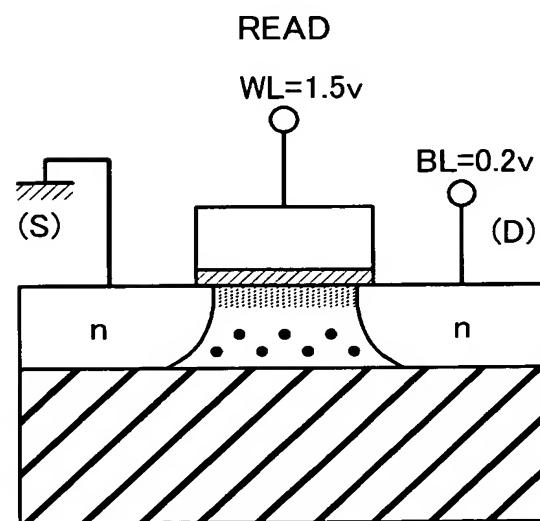
【図25】



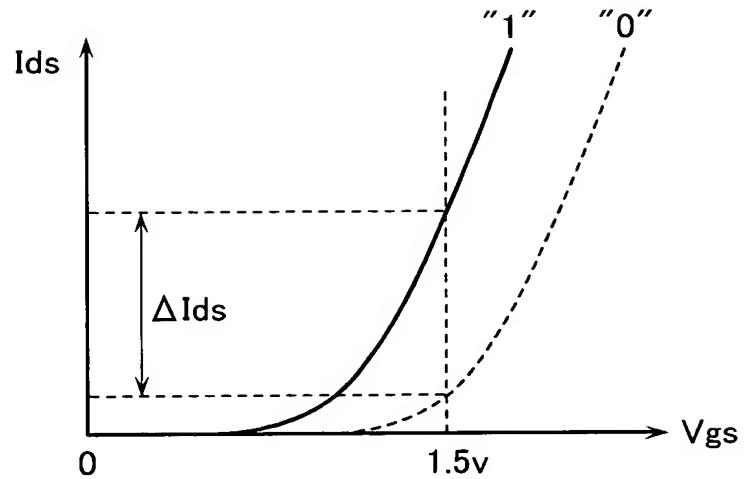
【図26】



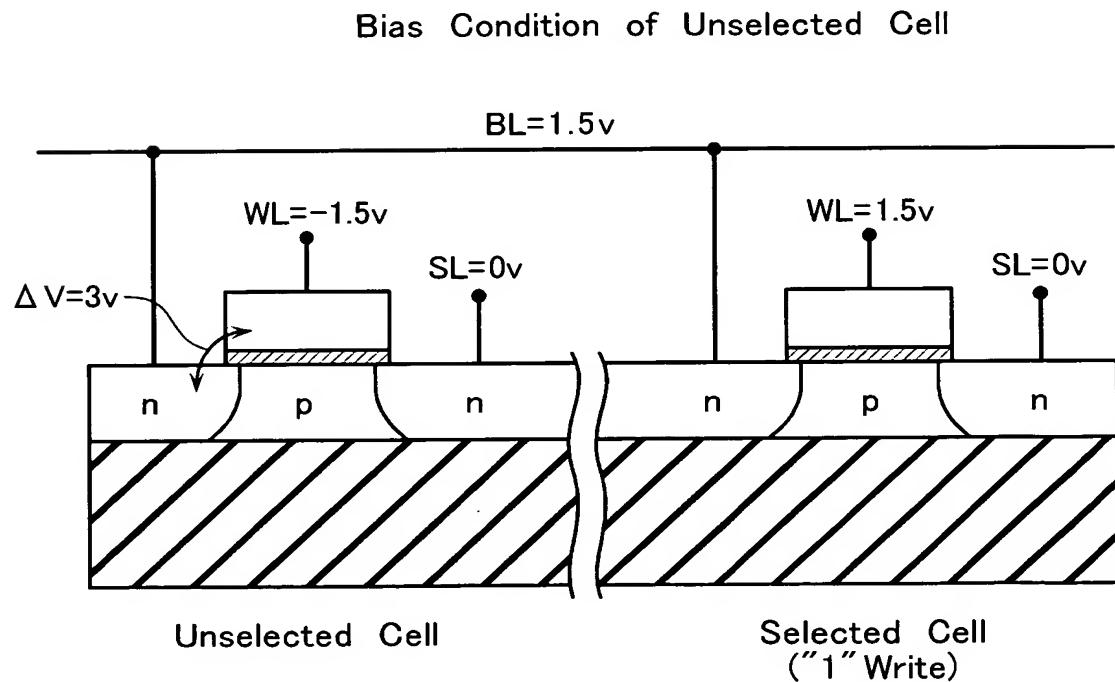
【図27】



【図28】



【図29】



【書類名】要約書

【要約】

【課題】 効率的なデータ書き込みを可能とした半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、基板と、前記基板上に形成され配列された、前記基板と絶縁分離され且つ相互に絶縁分離された第1導電型の半導体層と、前記各半導体層に形成されて、第2導電型のソース及びドレイン層とゲート電極を有し、そのチャネルボディの多数キャリア蓄積状態によりデータを記憶するセルトランジスタと、前記各半導体層に前記各セルトランジスタのドレイン層との間でP N接合を構成するように形成された、前記セルトランジスタのチャネルボディに多数キャリアを注入するための第1導電型のエミッタ層とを有する。

【選択図】 図1A

## 認定・付加情報

特許出願の番号	特願2003-307202
受付番号	50301438386
書類名	特許願
担当官	関 浩次 7475
作成日	平成15年 9月 1日

## &lt;認定情報・付加情報&gt;

【提出日】	平成15年 8月29日
-------	-------------

特願 2003-307202

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝